

Министерство образования и науки РФ

ФГБОУ ВПО

Тульский государственный университет

Кафедра вычислительной техники

ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА

Методические указания
по выполнению курсового проекта

Тула 2014

Методические указания составлены в соответствии с Государственными требованиями к обязательному минимуму содержания основной образовательной программы студентов доцентом Басаловой Г.В. и профессором Токаревым В.Л. и обсуждены на заседании кафедры ВТ факультета кибернетики.

Протокол № _____ от « ____ » _____ 2014 г.

Зав кафедрой _____

ВВЕДЕНИЕ

Курсовой проект предназначен для приобретения навыков по схемотехническому проектированию несложных цифровых устройств. Проект выполняется в седьмом семестре и базируется на основной теоретической части дисциплины «Электроника и схемотехника». Задание на курсовой проект выдается руководителем проекта в начале семестра.

1. ЦЕЛИ И ЗАДАЧИ КУРСОВОГО ПРОЕКТА

Курсовой проект выполняется с целью закрепления знаний по курсу "Электроника и схемотехника" и развития навыков самостоятельного проектирования электронных устройств.

Задачами курсового проекта являются:

- практическое овладение методикой схемотехнического проектирования электронного устройства на основе современной элементной базы;
- анализ вариантов схемотехнических решений и выбор на его основе оптимального решения;
- синтез электрических схем функциональных элементов по их формальному описанию;
- практическое овладение методами и средствами САПР при схемотехническом проектировании;
- получение элементарных навыков конструкторского проектирования технических средств электронной техники;
- приобретение практических навыков оформления и выпуска конструкторской документации в соответствии с ГОСТ.

Для решения перечисленных задач необходимо знание не только курса "Электроника и схемотехника", но и ряда смежных дисциплин, изучаемых на 1-7 семестрах, и умение пользоваться справочной литературой.

2. ОСНОВНЫЕ ТРЕБОВАНИЯ К КУРСОВОМУ ПРОЕКТУ

2.1. Тематика курсового проекта.

В курсовом проекте разрабатывается препроцессор, предназначенный для аппаратной реализации вычисления одной или нескольких функций предварительной обработки данных и отвечающий заданным требованиям.

Препроцессор связан с остальными устройствами ЭВМ или вычислительной системы в соответствии со схемой (рис. 1).

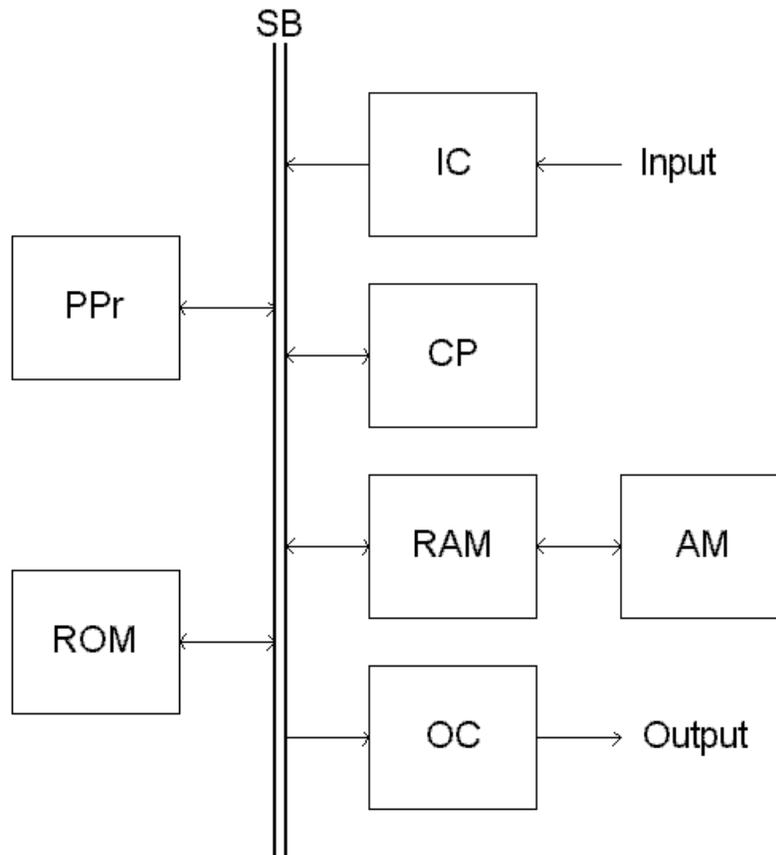


Рис 1. Структура условной вычислительной системы:

IC - канал ввода данных (input channel), CP - центральный процессор (central processor), RAM - оперативное запоминающее устройство (random access memory), AM - внешнее запоминающее устройство (auxiliary memory), OC - блок вывода данных (output channel), PPr- препроцессор (preprocessor).

Канал ввода (IC) и канал вывода (OC) данных работают одновременно и обеспечивают ввод данных и вывод результатов с одной и той же частотой f_d . Через эти блоки осуществляется связь вычислительной системы с внешней средой.

Память системы состоит из трех устройств: RAM (ОЗУ), ROM (ПЗУ) и АМ (ВЗУ). ОЗУ служит для размещения входных, промежуточных данных и результатов, программы обработки данных; ПЗУ – для хранения констант и некоторых программных модулей; ВЗУ - для расширения адресного пространства вычислительной системы.

Система работает в режиме реального времени, т.е. частота выдачи информации должна быть равна частоте поступления входных данных f_D , а время запаздывания потоков результатов относительно потока входных данных должно быть минимальным. По этой причине задачи первичной обработки информации решаются с помощью препроцессора, главной характеристикой которого является быстроедействие, а остальные характеристики (потребляемая мощность, конструктивные параметры и др.) определяются требованиями системы.

Препроцессор выполняет ограниченное число заданных функций (вычисление среднего, дисперсии, коэффициентов корреляции и т.п.) параллельно во времени с работой центрального процессора, что обеспечивает повышение производительности вычислительной системы. Значения функции вычисляются при поступлении в препроцессор соответствующей команды путем выполнения препроцессором последовательности операций.

В состав препроцессора обычно входят регистровое ЗУ для хранения обрабатываемых данных, операционные блоки (АЛУ, умножитель и др.) для выполнения арифметических и логических операций обработки, буферные ЗУ для согласования во времени скорости обработки со скоростью поступления входных данных и со скоростью выдачи результатов и блок микропрограммного управления, реализующий алгоритмы вычисления требуемых функций.

Преобразование сигналов в нужную форму для центрального процессора обычно выполняется в канале ввода. Для этого он содержит аналоговый усилитель сигнала.

лов с заданной частотной характеристикой и аналогово-цифровой преобразователь с требуемой разрядностью временем преобразования.

Обобщенная структура препроцессора приведена на рис.2.

Входной поток данных x_k поступает в PPr через ИТ с SB и обрабатывается в операционных блоках OU_1, OU_2, \dots, OU_i под управлением MPCU, который в каждый дискретный момент времени k вырабатывает вектор управляющих сигналов s_k , разрешающих или инициирующих выполнение соответствующих микроопераций. Для буферизации входных и выходных данных используется BM, для хранения промежуточных результатов используется RM. Препроцессор, кроме того, может содержать постоянное ЗУ для хранения необходимых констант и некоторых микропрограмм. Система внутренних связей ICS объединяет все функциональные блоки препроцессора и содержит независимые линии для передачи информационных, адресных и управляющих сигналов, а также буферные формирователи для обеспечения требуемой нагрузочной способности. Блок микропрограммного управления MPCU вырабатывает вектор управляющих сигналов s_k в зависимости от кода условий ss , вырабатываемых при выполнении предыдущей микрокоманды. В MPCU находится программно доступный регистр состояния препроцессора, содержащий биты занятости препроцессора b и бит готовности результата dr . Входной преобразователь ИТ преобразует данные, поступающие с системной шины данных в формат препроцессора. Вывод результатов в требуемом для вычислительной системы формате осуществляется выходным преобразователем ОТ. Блоки ИТ и ОТ в некоторых случаях могут отсутствовать.

Задачами проектирования являются:

1. проработка вариантов, их анализ и выбор оптимальной функциональной схемы операционной части препроцессора, включающей $OU_1, OU_2, \dots, OU_i, RM, BM$;
2. синтез функциональной схемы блока микропрограммного управления MPCU;
3. разработка и синтез принципиальных схем всех функциональных элементов препроцессора;
4. разбиение схемы препроцессора на ТЭЗы и разработка принципиальной электрической схемы одного из ТЭЗов;

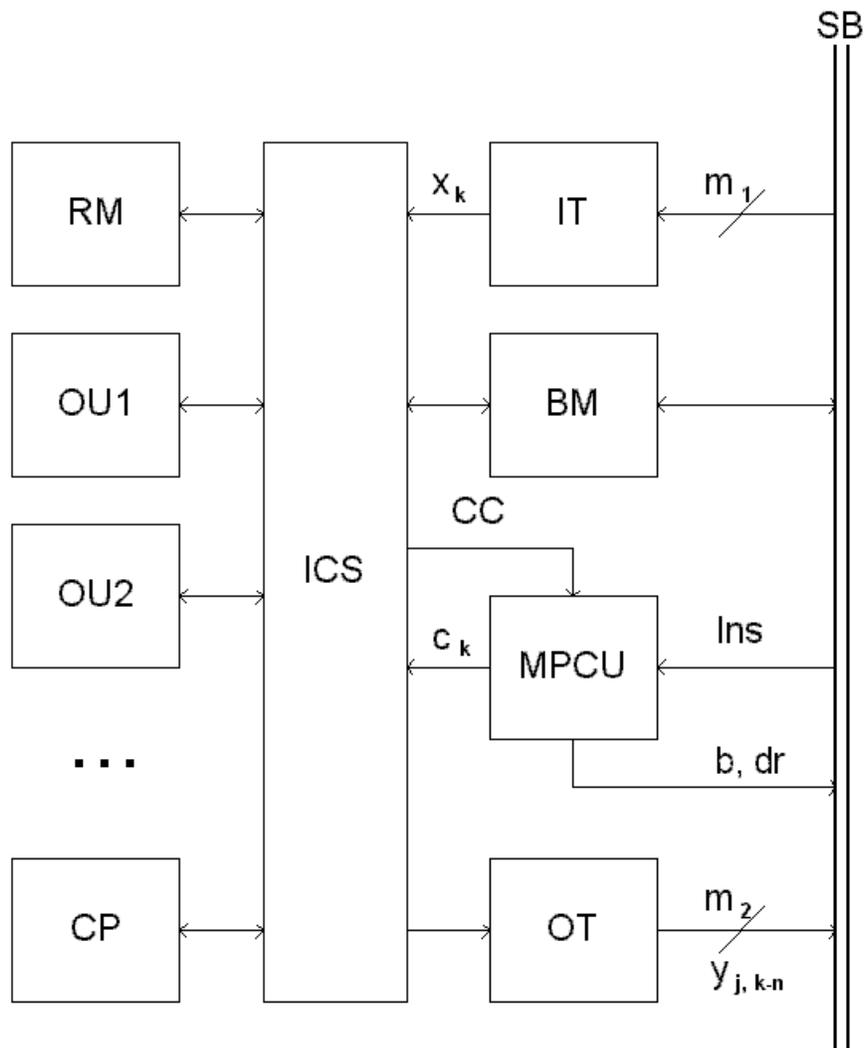


Рис 2. Структура препроцессора:

BM - буферное ЗУ (buffer memory); OU1,...,OUi - операционные блоки (operation units); RM - регистровое ЗУ (register memory); IT - входной преобразователь (input transformer); OT - выходной преобразователь (output transformer); MPCU - блок микропрограммного управления (microprogramming control unit); ICS - система внутренних связей препроцессора (internal connection system); SB – системная шина вычислительной системы (system bus); x_k - поток входных данных (m_1 - векторных), соответствующий k -тому дискретному моменту времени: $k=t/\Delta t$, Δt - длительность машинного такта; $y_{j, k-n}$ - j -ые потоки выходных данных (результатов) с запаздыванием на n тактов относительно входного потока; Ins - код команды, запускающей вычисление требуемой функции; CC - код условий

5. моделирование принципиальной схемы ТЭЗа средствами САПР;
6. оценка параметров препроцессора: временных, электрических и конструктивных;
7. разработка конструкции препроцессора.

Критерий качества проектирования выбирается исходя из исходных данных для проектирования. Основными требованиями являются временные параметры препроцессора: максимальная частота поступления входных данных f_d и время задержки j -го выходного потока данных относительно входного потока данных $T_{здj}$. Поэтому при отсутствии других ограничений в качестве критерия качества проектируемого препроцессора может быть использовано отношение:

$$Q = \frac{t_{D3}^2}{(t_{D3} - t_{DП}) * T_{ЗДП} + 1} \quad (1)$$

где t_{D3} - заданное значение ($t_{D3} = F_D^{-1}$) периода поступления входных данных, $t_{DП}$, $T_{ЗДП}$ - значения t_D и времени задержки выходного потока относительно входного, полученные в результате проектирования. Временные параметры измеряются в наносекундах (нс).

При наличии жестких ограничений на надежность работы препроцессора в качестве критерия может быть использовано отношение:

$$Q = \frac{t_{D3} * w_1}{(t_{D3} - t_{DП}) * w_1 + 1} \quad \text{при } T_{ЗДП} < T_{ЗД} \quad (2)$$

где $T_{ЗД}$ - заданное время задержки выходного потока данных относительно входного потока данных; w_1 - число посадочных мест 14-выводных микросхем, соответствующее одной плате заданного типоразмера, w - фактическое число корпусов микросхем, реализующее препроцессор.

При наличии ограничений на потребляемую мощность и требований высокой надежности можно использовать в качестве критерия следующее отношение:

$$Q = \frac{t_{D3} * P_{доп}}{(t_{D3} - t_{DП}) * P_{П} + 1} \quad \text{при } T_{ЗДП} < T_{ЗД} \quad (3)$$

где $P_{доп}$ - допустимое значение потребляемой мощности в мВт, $P_{П}$ - значение потребляемой мощности препроцессора в мВт, полученное в результате проектирования.

На промежуточных этапах проектирования вместо общего критерия (1), или (2), или (3) могут использоваться частные критерии, полученные из общего путем упрощений.

2.2. Формат входных данных

Форматы слов данных (внутренних и внешних) имеют вид (рис.3).



Рис.3. Форматы слов данных: а – для ФЗП; б – для ПЗП;

S – знак числа или мантиссы (числа внутреннего формата имеют два знаковых разряда); P – порядок; M - мантисса

В случае представления чисел с плавающей запятой (ПЗП) значение числа определяется выражением:

$$X = S * 2^{P_{см}} * M,$$

где $P_{см} = 127 + P$ - смещенный порядок числа. Т.е. основным параметром любого формата является число L.

Отрицательные числа представлены в дополнительном коде.

Дополнительные данные, если они требуются, студент устанавливает самостоятельно.

2.3. Задание на курсовой проект

Исходные данные к курсовому проекту оформляются на типовом бланке задания, подписываются руководителем и выдаются каждому студенту в начале семестра.

Вместо варианта типового задания руководителем проекта может быть предложено другое задание эквивалентной сложности, например, в связи с участием студента в научной работе по тематике кафедры. В этом случае студенту выдается техническое задание (ТЗ), составленное руководителем в соответствии с ГОСТ 15.001-88 и согласованное с преподавателем, ответственным за дисциплину "Электроника и схемотехника".

2.4. Объем курсового проекта

Курсовой проект состоит из графической части и пояснительной записки.

Графическая часть должна содержать:

1. схему электрическую функциональную (Э2) препроцессора в формате А1 (А2) - 1 лист;
2. схему электрическую принципиальную (Э3) одной из плат препроцессора в формате А1 (А2) - 1 лист;
3. диаграмму временную процесса вычисления значений заданных функций (теоретический чертеж) в формате А2 - 1 лист;

Пояснительная записка (ПЗ) оформляется согласно требованиям ЕСКД к текстовым документам [2] и должна содержать:

1. титульный лист;
2. бланк задания или техническое задание;
3. введение;
4. основное содержание;
5. заключение;
6. библиографический список;
7. приложение, содержащее конструкторскую документацию проекта:
 - а. алгоритмы вычисления заданных функций;

- b. распечатки с результатами моделирования по разработанным алгоритмам;
- c. графическая часть проекта (Э2, Э3, ТЧ), оформленная по ГОСТ 2.708-81, 2.743-91, 2.702-75.

2.5. Защита курсового проекта

Курсовой проект подписывается руководителем к защите, если его объем и содержание соответствуют настоящим указаниям. После этого проект отдается на рецензирование одному из преподавателей кафедры.

Защита курсового проекта студентом производится в назначенные сроки перед комиссией. В процессе защиты студент должен кратко доложить результаты каждого из этапов выполненной им работы и ответить на вопросы членов комиссии. Оценка курсового проекта определяется уровнем знаний, обнаруженных в процессе защиты и качеством выполненной работы. В случае неудовлетворительной оценки студенту выдается новое задание на проектирование.

3. МЕТОДИЧЕСКИЕ УКАЗАНИЯ К РАБОТЕ НАД КУРСОВЫМ ПРОЕКТОМ

3.1. Этапы проектирования

Работа над курсовым проектом включает следующие основные этапы:

Э1 - Анализ исходных данных и разработка на его основе алгоритмов вычисления заданных функций, организация общей структуры оперативной части препроцессора;

Э2 - Проработка вариантов функциональной схемы операционной части препроцессора и определение их основных характеристик;

Э3 - Анализ вариантов и выбор оптимального варианта операционной части и его элементной базы;

Э4 - Разработка и синтез принципиальных схем функциональных элементов;

Э5 - Синтез блока микропрограммного управления МРСУ;

Э6 - Моделирование работы препроцессора по разработанным алгоритмам;

Э7 - Оценка временных и электрических параметров препроцессора;

Э8 - Оформление конструкторской документации проекта.

3.2. Методические указания к выполнению отдельных этапов проектирования

Э1. Анализ исходных данных для проектирования препроцессора делается с целью:

- выбора алгоритмов вычисления заданных функций;
- выбора структуры операционной части препроцессора;
- выбора основных типов операционных блоков препроцессора.

В основном во внимание принимаются заданные временные параметры препроцессора. По ним выбирается один из следующих типов алгоритмов :

- с накоплением данных (нерекуррентного типа);
- без накопления данных (рекуррентного типа);

Выбирается структура операционной части препроцессора:

- с последовательным выполнением операций или микроопераций (без совмещения во времени);
- с конвейерным выполнением операций или команд;
- с распараллеливанием выполнения независимых операций.

На сложность препроцессора как и на его временные параметры влияет также выбор основных операционных блоков, выполняющих наиболее длительные операции: умножения, деления, возведения в степень, извлечения корня, вычисления тригонометрических функций и т.п.

Наиболее быстродействующие, но наиболее емкие по аппаратным затратам являются матричные схемы, схемы, построенные на основе ПЗУ.

Меньшими аппаратными затратами обладают операционные блоки, построенные на основе итерационных методов вычисления элементарных функций, таких как метод псевдоповорота вектора [1], метод "цифра за цифрой" [2] и др.

На этом же этапе выбирается критерий качества проектирования на основе анализа значений $T_{\text{п}}$, P_3 , $P(10\ 000)$. При наличии жестких ограничений на надежность работы препроцессора и на его потребляемую мощность следует использовать критерий вида (3).

Требования по условиям эксплуатации могут ограничивать или не ограничивать множество типов используемых микросхем, типов конструкций, используемых для реализации препроцессора.

Так, например, требование высокой надежности в сочетании с большим уровнем механических воздействий (вибраций, ударов и т.п.) заставляет снижать количество разъемных контактов, что достигается снижением числа ТЭЗ путем использования для ТЭЗ печатных плат многослойного типа (МПП) с двусторонней установкой электрорадиоизделий (ЭРИ). Это, в свою очередь, создает проблемы при разбиении схемы препроцессора на ТЭЗы, при принятии мер для охлаждения ТЭЗа и др.

На основе выбранного типа алгоритма составляется полный алгоритм вычисления заданных функций, и определяются его особенности в смысле обеспечения временных параметров препроцессора и наиболее жестких ограничений.

По результатам разработки алгоритма составляется таблица микроопераций (вида табл. 3), таблица признаков операций (вида табл.4) и таблица логических условий (вида табл. 5), вырабатываемых операционной частью препроцессора для MPCU.

Эти таблицы отражают не только принятый алгоритм вычисления функций, но и общую структуру операционной части препроцессора, функциональная схема которой составляется на следующем этапе.

Содержание микроопераций в табл.3 указывается на языке микроопераций. Логические функции в табл.4 составляются с учетом принятой структуры операционной части (см. табл.3), а логические условия в табл.5 составляются с учетом алгоритма работы блока микропрограммного управления.

Э2. На основе сделанного на этапе Э1 вывода прорабатываются варианты функциональной схемы операционной части препроцессора и определяются их основные характеристики.

С целью обеспечения минимальной аппаратной сложности препроцессора, а следовательно его высокой надежности и минимальной потребляемой мощности, рекомендуется проработку вариантов операционной части препроцессора начинать с варианта, требующего минимальные аппаратные затраты для его реализации. Затем схема может усложняться при обязательном снижении значений одного из временных параметров.

Это обеспечивается путем повышения степени конвейеризации процесса вычислений, степени параллельности обработки и т.п.

Анализ вариантов делается с помощью временных диаграмм, составленных для каждого варианта, по которым определяются минимальный период времени поступления входных данных T_D , и максимальное время задержки выходного потока данных относительно входного $T_{зд}$ в числе периодов синхросигнала t_c . Результаты удобно свести в таблицу вида (табл.6), в которую заносится количество функциональных элементов W .

Таблица 1

Таблица микроопераций

Микрооперации		Обозначение управляющих сигналов	Управляемый ФЭ	Номер такта
Обозначение	Содержание			
y1	$RG1 := (IDB)$	C1	RG1	1
y2	$RG2 := 0$	C2	RG2	1
y3	$RG3 := (RG1) - (RG2)$	C3	RG3	2

Таблица 2

Признаки результатов

Обозначение	Логическая функция	Разряд	Пояснения
ZF	$RG4(1) \vee RG4(2) \vee \dots \vee RG4(24)$	1	$y_k = 0$
OF	$SM(0) + SM(1)$	2	Переполнение сумматора
SF	$SM(0)$	3	$sign(y_k)$

Таблица 3

Логические условия

Обозначение	Логические условия	Пояснения
X1	$OF \neq 0$	4. Переполнение
X2	$CT = 0$	Конец цикла
X3	$W = 0$	Конец условия

Таблица 4

Параметры вариантов

Вариант схемы	Период $t_{ДП}$		W	$K_{Э}$
	В числе тактов	Значение, нс		
1-й вариант	9 t_c	450	13	-0.005
2-й вариант	8 t_c	400	14	0.06
.....

Колонка $K_{\text{Э}}$ (значение частного критерия) заполняется на следующем этапе.

При выполнении этого этапа можно воспользоваться рекомендациями /3-6/.

ЭЗ. Выбор оптимального из рассмотренных вариантов производится по результатам выбора элементной базы ОУ и структур функциональных элементов, что позволяет в конечном итоге определить или выбрать значение t_c .

Для выбора элементной базы операционной части препроцессора учитывается: 1) основной состав функциональных элементов; 2) требования по быстродействию и потребляемой мощности.

Структуры схем функциональных элементов вначале выбираются несложные, с невысоким быстродействием. Например, сумматор строится с последовательным переносом, умножитель на БИС матричного типа и т.д. И только после того как определены временные параметры полученных схем и сделаны выводы, что их значения не позволяют построить схему, соответствующую заданным значениям $T_{\text{зд}}$ и t_D , переходят к более сложным схемам. Например, сумматор строится по схеме с параллельным переносом, а умножитель - на БИС ПЗУ или по конвейерной схеме включения БИС умножителей.

Определив таким образом схемы функциональных элементов, выполняющих наиболее длительные операции, определяется период синхросигнала:

$$t_c = t_{\text{п}} + t_{\text{сс}},$$

где $t_{\text{п}}$ - время паузы синхросигнала; $t_{\text{сс}}$ - длительность синхроимпульса. При этом должны выполняться условия:

$$t_{\text{п}} \geq t_{\text{кс}}; \quad t_{\text{сс}} \geq t_{\text{рг}},$$

где $t_{\text{кс}}$ - максимальное время задержки в комбинационной схеме, включенной между двумя соседними регистрами, $t_{\text{рг}}$ - время записи информации в регистр.

Для выбора оптимального варианта можно использовать частный критерий

$$K_{\text{Э}} = \frac{W_{\text{max}}}{(T_{D3} - T_{DП})W + 1} \quad (4)$$

вычисляя его по данным табл.3, для каждого варианта, где W_{max} - число функциональных элементов, соответствующее наиболее сложному варианту .

Выбирается вариант с большим значением K_3 .

Э4. После того как определены структуры основных функциональных элементов операционной части препроцессора переходят к разработке и синтезу принципиальных схем всех остальных ее функциональных элементов.

При синтезе схем операционных элементов (сумматоров, вычитателей, умножителей, сдвигателей и т.п.) в основном решаются следующие задачи:

1. построение схемы требуемой разрядности на микросхемах невысокой разрядности (до 4-х);
2. организация требуемых режимов работы;
3. проверка соответствия нагрузки, подключаемой к выходам микросхемы, нагрузочной способности соответствующего выхода и при необходимости их согласование.

Решения этих задач подробно рассматривались на лекциях по курсу "Схемотехника ЭВМ". С ними также можно ознакомиться по литературе /6-10/.

Выбор микросхем производится с учетом их временных параметров, поскольку параметры синхросигнала определены, и с учетом потребляемых токов.

При выборе микросхем нужно следить:

1. чтобы время записи в регистры было меньше принятой длительности синхросигнала t_{cc} ;
2. чтобы длительность выполнения микроопераций в комбинационных элементах не превышала бы длительности паузы синхросигнала t_n .

При этом если эти условия выполняются для большей части типов микросхем, выбираются такие микросхемы, которые обладают меньшим потребляемым током. Использование этого принципа позволяет обеспечить высокое качество проектирования в смысле критерия (1,2,3).

Применение же микросхем с большим быстродействием, чем требуется, во-первых, удорожает схему, во-вторых, создает лишние проблемы, вызванные повышенной крутизной фронтов сигнала: появление отражений сигнала при несогласованности линий связи с входными или выходными сопротивлениями элементов и т.п.

При разработке принципиальных схем функциональных элементов рассматриваются несколько вариантов, из которых выбирается наименее сложный.

При выполнении этого этапа следует использовать справочную литературу [6,7].

В пояснительной записке приводятся принципиальные схемы и их описание всех функциональных элементов.

Для функциональных элементов требующих при их разработке выполнения синтеза приводится подробная процедура синтеза. К таким функциональным элементам относятся, например, комбинационные схемы нестандартного вида, формирователи сигналов и др.

Проверка согласования схем по нагрузочной способности производится путем расчетов коэффициентов объединения K_o и коэффициентов разветвления K_p . При $K_o/K_p > 1$ в схему включаются буферные элементы с повышенной нагрузочной способностью, например, передатчики сигналов или используются микросхемы с открытым коллектором. Для схем с большими значениями K_o используется разветвление цепей на группы, чтобы внутри каждой группы выполнялось условие $K_o/K_p < 1$. Выходы групп объединяются буферным элементом. Расчеты приводятся в ПЗ.

На заключительной стадии этапа определяются векторы управляющих сигналов для каждого такта работы операционной части и временная диаграмма их выдачи.

Э5. На основе результатов предыдущего этапа выполняется синтез блока микропрограммного управления MPCU. В некоторых случаях этот этап может отсутствовать, например при конвейерной структуре операционной части препроцессора.

Вначале определяется структура микрокоманд (рис.4).

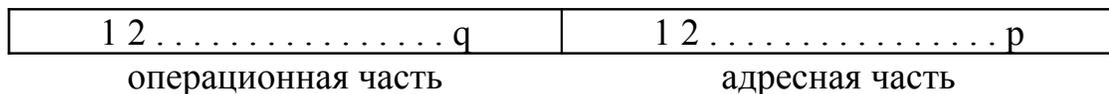


Рис.4. Структура микрокоманд

Разрядность операционной части q определяется общим числом управляющих сигналов. Адресная часть служит для формирования адреса следующей микроко-

манды (АСМК) с учетом кода условий. Число разрядов адресной части обычно составляет

$$p = m + s ; m = \log_2 N_m ; s = \log_2 N_v,$$

где N_m - общее число микрокоманд; N_v - число вариантов формирования АСМК.

В общем случае структура MPCU (рис.5) состоит из двух блоков: формирователя АСМК (AMIF) и блока хранения микрокоманд (MIM). AMIF содержит преобразователь начального адреса I/A, выполненный на ПЗУ и предназначенный для преобразования Ins в адрес первой микрокоманды микропрограммы, соответствующей данной Ins ; INC, MUX и MХCU, которые служат для формирования АСМК в зависимости от кода адресной части данной микрокоманды и кода условий CC; RGMIA. MIM содержит ПЗУ микрокоманд (ROMMI) емкостью $N_m \times (q+p)$; (q+p)-разрядный регистр микрокоманд (RGMI), предназначенный для хранения кода очередной микрокоманды.

Определив параметры функциональных элементов MPCU (N_m, q, m, s) и выбрав соответствующую элементную базу составляются принципиальные схемы функциональных элементов MPCU.

Эб. По результатам выполнения этапов Э4, Э5 составляется таблица состава элементов (табл. 7)

Таблица 5

Состав элементов

Функциональный элемент	Тип микро-схем	Тип корпуса	Время задержки, нс	Количество корпусов	Посадочное место		Потребляемый ток	
					Размеры, мм	Площадь, мм ²	Ток/корпус, мА	Общий ток, мА
1	2	3	4	5	6	7	8	9
Всего				чис		S _{ПМ}		I _П

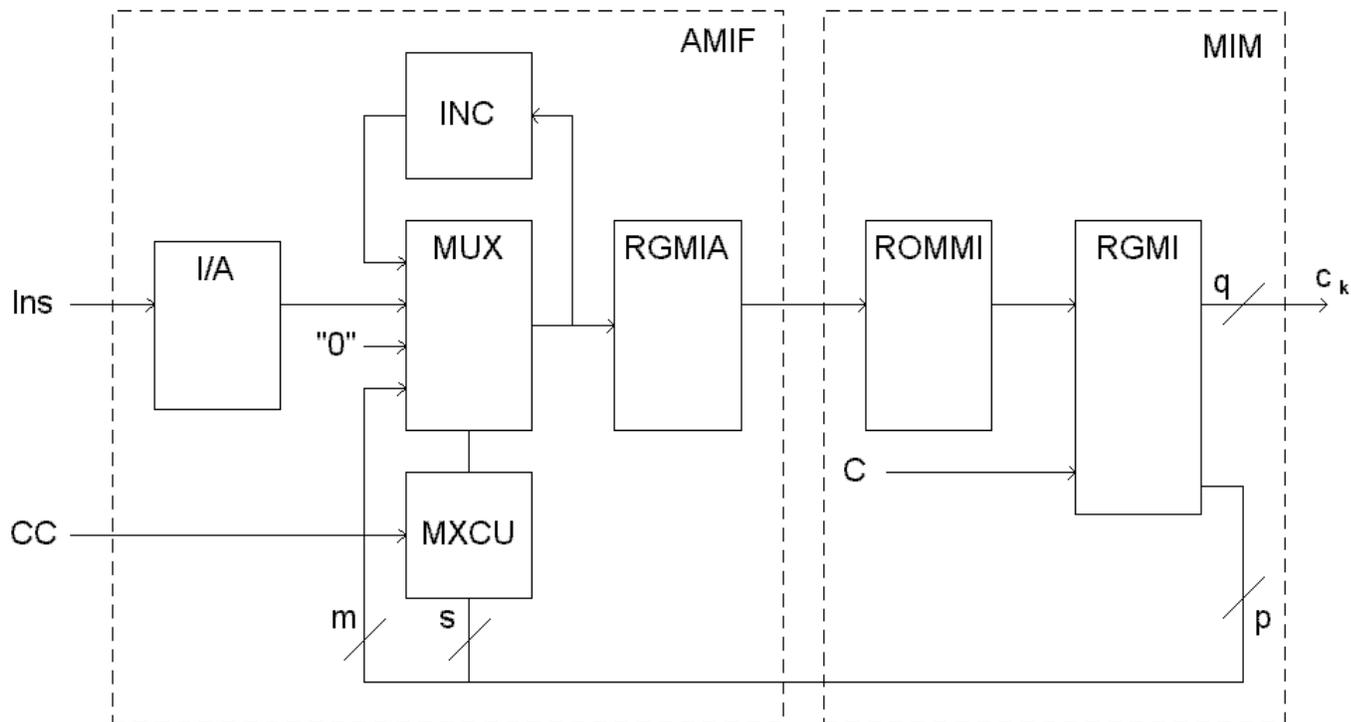


Рис.5. Структура MPCU: AMIF - формирователь АСМК; MIM – блок хранения микрокоманд; INC - инкрементор; MXCU - схема управления мультиплексором MUX; C - тактовый сигнал; I/A – преобразователь кода команды в начальный адрес микропрограммы; RGMIA – регистр адреса микрокоманды; ROMMI - ПЗУ микрокоманд; RGMI – регистр микрокоманды

Проверка согласованности по нагрузочной способности заключается в расчете токов нагрузки для выходов микросхемы как суммы входных токов, составляющих нагрузку:

$$\begin{aligned}
 I_{ni}^0 &= \sum_{j=1}^{m_i} I_{vx.ij}^0 ; \\
 I_{ni}^1 &= \sum_{j=1}^{m_i} I_{vx.ij}^1 ; \\
 C_{ni} &= \sum_{j=1}^{m_i} C_{vx.ij} ;
 \end{aligned}
 \tag{7}$$

где $I_{vx.ij}^0, I_{vx.ij}^1$ - входные токи j -го входа, подключенного к i -му выходу, находящемуся в состоянии "0" и "1" соответственно; I_{ni}^0, I_{ni}^1 - результирующие токи нагрузки i -го выхода; m_i - число входов, подключенных к i -му выходу (коэффициент объединения), C_{ni} - емкость нагрузки i -го выхода; $C_{vx.ij}$ - входная емкость j -го входа, подключенного к i -му выходу.

Условие согласованности имеет вид:

$$\begin{aligned}
 I_{ni}^0 &< I_{vxi.доп}^0 ; \\
 I_{ni}^1 &< I_{vxi.доп}^1 ; \\
 C_{ni} &< C_{vxi.доп} ,
 \end{aligned}
 \tag{7}$$

где $I_{vxi.доп}^0, I_{vxi.доп}^1$ - допустимые значения токов i -го выхода анализируемой микросхемы, $C_{vxi.доп}$ - допустимая емкость i -го выхода.

При невыполнении этих условий применяется согласование:

- путем параллельного включения элементов, в частности, логических элементов с открытым коллектором;
- путем использования элементов с повышенной нагрузочной способностью;
- путем включения дополнительных буферных элементов, шинных драйверов, магистральных передатчиков;
- путем разветвления нагрузки.

Подключение входов неиспользуемых элементов делается таким образом, чтобы минимизировать потребляемый ток. Так, например, входы неиспользуемых ТТЛ-элементов, необходимо подключать к нулевому потенциалу, т.к. это обеспечит установку элемента в состояние "1", обладающее меньшим током: $I_{п}^1 < I_{п}^0$.

Неиспользуемые входы подключаются таким образом, чтобы обеспечить разрешение воздействия сигналов с подключенных входов.

Так, например, для ТТЛ-микросхем неиспользуемые входы подключаются к потенциалу "1".

Потенциал "1" создается либо с помощью резистора 1КОм, подключенного к +5В, либо с помощью неиспользуемого логического элемента, установленного в состояние "1". В обоих случаях число подключаемых входов не должно превышать 10.

Э7. По полученной таким путем принципиальной электрической схеме ТЭЗ и временным диаграммам определяются параметры устройства:

- максимальная частота поступления входных данных: $F_D=1/t_D$;
- время задержки выходного потока данных относительно входного $T_{зд}$;
- потребляемая мощность $P_{п}$;
- погрешность вычислений: $\delta = 2^{-L}$; (9)
- надежность устройства:

$$P(10000) = \exp(-1-n_{ИС})\lambda t, \quad (10)$$

где λ - интенсивность отказов микросхем выбранного типа. Интенсивность отказов разъема принимается равной (в целях упрощения) интенсивности отказов микросхем с учетом мер, принятых для резервирования контактов.

Э8. Конструкторская документация оформляется в соответствии с ГОСТ [20-24]. При оформлении проекта можно воспользоваться рекомендациями [25,26].

ВОЗМОЖНЫЕ ВАРИАНТЫ ЗАДАНИЙ НА КУРСОВОЕ ПРОЕКТИРОВАНИЕ

ВАРИАНТ 1. Устройство для вычисления функции $F = \sum_{i=1}^6 (A_i - B_i)$

Двоично-десятичные 16-разрядные числа A_i и B_i поступают на устройство в каждом такте работы устройства. Рез-т F должен в двоично-десятичном коде (20 бит, старшая тетрада - знак) выдаваться) с частотой, равной частоте входных сигналов.

ВАРИАНТ 2. Устройство для деления 16-разр. числа на 8-разр. Оба числа имеют в старшем бите знак; известно также, что поступающие на делитель числа будут всегда положительными. На делитель поступают также внешние сигналы CLK (синхронизация) и DIV (сигнал, инициирующий деление). Схема должна выдавать частное и бит признака готовности результата.

ВАРИАНТ 3. Устройство для вычисления функции $F = \sum_{i=1}^{10} (A_i - B_i)$

Двоичные 16-разрядные числа A_i и B_i поступают на устройства в каждом такте работы устройства. Рез-т F должен выдаваться) с частотой, равной частоте входных сигналов.

ВАРИАНТ 4. Устройство для вычисления функции $F = (A_i - B_i)/12$

Двоичные 16-разрядные числа в доп. коде A_i и B_i поступают на устройство с постоянной частотой. По мере готовности рез-та у-во должно выдавать рез-т F (в дополнительном коде) и признак готовности результата.

ВАРИАНТ 5. Устройство для вычисления функции $F = (A + B)/20$

Двоично-десятичные 16-разрядные числа A_i и B_i (старшая тетрада - знак) поступают на устройство с постоянной частотой. У-во должно выдавать рез-т F (в двоично-десятичном коде, 16 бит, старшая тетрада - знак) с частотой, равной частоте входных сигналов.

ВАРИАНТ 6. Устройство для вычисления функции «Выборочное среднее»:

$$M_x = (1/N) \sum_{i=1}^N x_i$$

Двоичные беззнаковые 16-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 24-разрядный рез-т M_x должен выдаваться с частотой, равной частоте входных сигналов. $N=16$.

ВАРИАНТ 7. Устройство для обращения данных: $\{x_i, i=1, \dots, N\}, y_i=1/x_i, i=1 \dots N$

Разрядность входных x_i и выходных y_i данных – 12 бит. Формат – с фиксированной запятой.

ВАРИАНТ 8. Устройство для отыскания максимального значения:

$$y = \max \{ x_i, i=1, \dots, N \}, N=12.$$

Двоичные в доп. коде 16-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y в доп. коде должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 9. Устройство для вычисления функции «Выборочное среднее»:

$$M_x = (1/N) \sum_{i=1}^N x_i$$

Двоично-десятичные положительные 12-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 12-разрядный рез-т M_x в двоично-десятичном виде должен выдаваться с частотой, равной частоте входных сигналов. $N=8$.

ВАРИАНТ 10. Устройство для вычисления функции «Центрирование данных»:

$$y_i = x_i - M_x; M_x = (1/N) \sum_{i=1}^N x_i$$

Двоичные в доп. коде 8-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y_i в доп. коде должен выдаваться с частотой, равной частоте входных сигналов. $N=8$.

ВАРИАНТ 11. Устройство для отыскания максимального значения:

$$y_i = \min \{ x_i, i=1, \dots, N \}, N=20.$$

Двоично-десятичные положительные 16-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y_i в двоично-десятичном виде должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 12. Устройство для вычисления функции $F = \sum_{i=1}^8 (3A_i - 2B_i)$

Двоичные 8-разрядные числа A_i и B_i в дополнительном коде поступают на устройство в каждом такте работы устройства. Рез-т F (16 разрядов, в дополнительном коде) должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 13. Устройство для вычисления функции: $y_k = 12 \cdot \sum_{i=1}^5 x_i$.

Двоичные беззнаковые 12-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y_k должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 14. Устройство для вычисления функции: $y_i = 3 \cdot (x_i + 0,5x_{i-1} + 0,25x_{i-2})$. Двоично-десятичные беззнаковые 12-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y_k в обычном двоичном коде должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 15. Устройство для вычисления функции: $y_i = x_i + 0,75x_{i-1} + 0,5x_{i-2} + 0,25x_{i-3}$. Двоичные беззнаковые 8-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y_i должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 16. Устройство для вычисления функции: $y_i = (y_{i-1} + 0,5y_{i-2} + x_i + 0,5x_{i-1} + 0,25x_{i-2})/2$. Двоично-десятичные беззнаковые 12-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y_k в обычном двоичном коде должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 17. Устройство для вычисления функции: $y_i = 0,5y_{i-1} + 0,75x_i + 0,5x_{i-1}$. Двоично-десятичные беззнаковые 16-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y_k в обычном двоичном коде должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 18. Устройство для вычисления функции:

$$y_i = \begin{cases} x_i, & \text{если } x_i \leq M_x; \\ M_x & \end{cases}; \quad M_x = (1/N) \sum_{i=1}^N x_i$$

Двоичные в доп. коде 8-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 8-разрядный рез-т y_i в доп. коде должен выдаваться с частотой, равной частоте входных сигналов. $N=8$.

ВАРИАНТ 19. Устройство для вычисления функций

$F_i = (A_i - B_i)/2; D_i = (F_i + F_{i-1} + F_{i-2})/3$. Двоичные 8-разрядные числа A_i и B_i в дополнительном коде поступают на устройство в каждом такте работы устройства. Рез-ты F и D (8 разрядов, в дополнительном коде) должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 20. Устройство, реализующее сглаживающий фильтр:

$y_k = y_{k-1} + (x_k + y_{k-1})/10; y_0 = 0$. Двоичное 8-разрядное число x_k в дополнительном коде поступает на устройство в каждом такте работы устройства. Рез-т y (8 разрядов, в дополнительном коде) должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 21. Устройство, реализующее сглаживающий фильтр:

$y_k = \alpha y_{k-1} + (1 - \alpha)x_k$; $y_0 = 0$; $\alpha = 0,25$. Двоично-десятичные беззнаковые 12-разрядные числа x_k поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y_k в двоично-десятичном коде должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 22. Устройство для вычисления функции: $y_i = 3 \cdot (x_i^2 + 0,5x_{i-1})$. Двоичные беззнаковые 8-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y_i должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 23. Устройство для вычисления функции: $y_i = (x_i + 0,5x_{i-1} + 0,25x_{i-2})^2$. Двоичные беззнаковые 8-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y_i должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 24. Устройство для вычисления функции «Отыскание медианы»
 $y = \text{med} \{ x_i, i=1, \dots, N \}$; $N = 7$. Двоично-десятичные беззнаковые 24-разрядные числа x_k поступают на устройство в каждом такте работы устройства. 24-разрядный рез-т y_k в двоично-десятичном коде должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 25. Устройство для вычисления функции «выборочная дисперсия»

$$\bar{D}_x = (1/n) \sum_{i=1}^N (x_i - M_x)^2$$

Двоичные беззнаковые 8-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y_i должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 26. Устройство для вычисления функции «Отыскание медианы»

$y = \text{med} \{ x_i, i=1, \dots, N \}$; $N = 12$. Двоичные беззнаковые 12-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 12-разрядный рез-т y_i должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 27. Устройство для вычисления функции «Отыскание медианы»

$y = \text{med} \{ x_i, i=1, \dots, N \}$; $N = 9$. Двоичные беззнаковые 16-разрядные числа x_k поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y_k в двоичном коде должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 28. Устройство для вычисления функции «выборочная дисперсия»

$$\bar{D}_x = (1/n) \sum_{i=1}^N (x_i - M_x)^2$$

Двоичные беззнаковые 12-разрядные числа x_i с фиксированной запятой поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y_i должен выдаваться с частотой, равной частоте входных сигналов.

ВАРИАНТ 29. Устройство для вычисления функции: «Отыскание медианы»
 $y = \text{med } \{ x_i, i=1, \dots, N \}; N=10$. Двоично-десятичные беззнаковые 16-разрядные числа x_i поступают на устройство в каждом такте работы устройства. 16-разрядный рез-т y_i (в двоично-десятичном виде) должен выдаваться с частотой, равной частоте входных сигналов.

ПРИМЕР ПРОЕКТИРОВАНИЯ ПРЕПРОЦЕССОРА

Пусть задано спроектировать препроцессор, вычисляющий в реальном времени в режиме скользящего окна два параметра случайного процесса:

выборочное среднее:
$$y_k = (1/N) \sum_{i=k-N+1}^k x_i$$

и выборочную дисперсию:
$$d_k = (1/N) \sum_{i=k-N+1}^k (x_i - y_k)^2$$

где k - текущее дискретное время: $k = t f_d$, f_d - частота поступления входных отсчетов данных, N - ширина скользящего окна или размер выборки: $N = T f_d$, T - интервал непрерывного времени, за который оцениваются выборочные параметры обрабатываемого случайного процесса.

Исходные данные для проектирования:

- размер выборки $N=16$;
- форма представления чисел - с фиксированной запятой ;
- связь препроцессора с другими устройствами - через системную магистраль Multibus (И-41);
- формат входных/выходных данных: $L=16$ (см. рис. 3);
- внутренний формат данных: $L=24$: (23-разряд - знак числа, 22...0 - целое число);
- частота поступления входных отсчетов данных $f_d=3,125$ МГц ($t_d = 320$ нс);
- допустимое время задержки выходного потока данных (y_k, d_k) относительно входного потока (x_k) $T_{зд} = 1$ мкс;
- потребляемая мощность $P_{доп} = 100$ Вт;
- требуемая надежность $P(10000) \geq 0,85$;
- условия эксплуатации соответствуют группе 2 (см. Приложение 3);
- частота внешней синхронизации $53,33$ МГц, $t_s = 18,75$ нс;
- типоразмер плат - 233,4x160;
- тип разъема - СНП34-90.

Э1. Анализ исходных данных позволяет сделать следующие предварительные выводы.

Требование высокого быстродействия делает необходимым использование:

1. рекуррентных формул вычисления заданных функций:

для выборочного среднего

$$y_k = y_{k-1} + (x_k - y_{k-1})/n;$$

$$n = k, \text{ если } k < N;$$

$$n = N, \text{ если } k \geq N;$$

для выборочной дисперсии

$$d_k = d_{k-1} + (e_k - d_{k-1})/n;$$

$$e_k = (x_k - y_k)^2;$$

2. организации препроцессора по типу конвейера операций ;
3. матричных умножителей или ПЗУ для быстрого выполнения операции умножения;
4. полезная площадь для размещения микросхем $S_{\pi} = 203,4 \times 140 = 28476 \text{ мм}^2$.

Ограничение по потребляемой мощности и требования высокой надежности заставляют использовать следующий критерий качества проектирования:

$$Q = \frac{t_{дз} P_{доп}}{(t_{дз} - t_{дп}) P_{\pi} + 1}, \text{ при } T_{здп} < T_{зд}$$

где $t_{дз}$, $t_{дп}$ измеряются в нс; $P_{доп}$, P_{π} - в Вт.

Требования по условиям эксплуатации заставляют использовать микросхемы, предназначенные для реализации устройств специального назначения (с отсутствующим первым символом "К" в обозначении микросхемы), использовать конструкции повышенной жесткости. Остальные требования позволяют конкретизировать алгоритм вычисления заданной функции (с учетом разрядности внутренних слов данных, используемых методов вычисления и т.п).

Алгоритм вычисления заданных функций приведен на рис. П1: на рис П1, а - алгоритм работы операционной части препроцессора (на уровне микроопераций); на рис П1, б - алгоритм управления работой сдвигателя: вычисления управляющей функции

$j=f(k)$; на рис П1,в - временная диаграмма работы операционной части, реализующей принятый алгоритм .

Особенности алгоритма следующие:

1. алгоритм реализует последовательную схему вычисления функций;
2. алгоритм не требует накопления выборки, времена задержки выходных потоков данных относительно входного потока различные:

$$T_{зд}(y) = t_{зд1} + t_{зд2};$$

$$T_{зд}(d) = T_{зд}(y) + t_{зд3} + t_{зд4},$$

где $t_{зди}$ – время вычисления на i -той ступени алгоритма .

3. для реализации алгоритма необходимо выполнение микроопераций вычитания, суммирования и умножения 24-разрядных чисел, а также сдвиг 24-разрядного числа в сторону младших разрядов на 1,2,3,4 бит в зависимости от значения K . Эта микрооперация выполняется с помощью управляющей схемы, вычисляющей $j=F(k)$;
4. наиболее длинной микрооперацией является микрооперация умножения двух 24-разрядных чисел без знака (для возведения в квадрат разности $(x_k - y_k)$). Поэтому эту микрооперацию следует выполнять одним из быстрых методов умножения, например, с помощью БИС матричного умножителя.

С целью упрощения синтеза операционных и управляющего блоков алгоритм (см. рис. П1) можно представить в виде таблицы (табл.1) без заполнения последнего столбца (см. табл. П1). Из табл. П1 видно, что один цикл алгоритма (рис. П1,а) реализуется путем выполнения 12 микроопераций в течение 11 тактов синхронизации пре-процессора. Каждая микрооперация выполняется за один такт за исключением у8 - умножение, поскольку умножитель 24-разрядный, то он может быть настроен на трех 8-разрядных БИС умножителей, и вся микрооперация может быть выполнена за 3-такта 6-й, 7-й, 8-й под действием С8, С9, С10. Управляющий блок должен за один цикл работы пре-процессора выдать в операционную часть 14 управляющих сигналов С1-С14.

Основные признаки результатов, фиксируемые в регистре флагов, показаны в табл. П2.

Таблица П1

Таблица микроопераций

Микрооперации		Обозначения управляющих сигналов	Управляемый ФЭ	Номер такта
Обозначения	Содержание			
y1	$RG1 := (DBI)$	C1	RG1	1
y2	$RG3 := (RG1) - (RG2)$	C2	RG3	2
y3	$RG4 := (RG2) * 2^{-j}$	C3	RG4, SL	3
y4	$RG2 := (RG2) + (RG4)$	C4	RG2	4
y5	$DBO := RG2$	C5	SW	5
y6	$RGF := (iF)$	C6	RGF	5
y7	$RG5 := (RG1) - (RG2)$	C7	RG5	5
y8	$RG6 := (RG5) * (RG5)$	C8, C9, C10	RG6	6, 7, 8
y9	$RG7 := (RG6) * 2^{-j}$	C11	RG7	9
y10	$RG8 := (RG8) + (RG7)$	C12	RG8	10
y11	$DBO := RG8$	C13	SW	11
y12	$RGF := (iF)$	C14	RGF	11

Таблица П2

Признаки результатов

Обозначения	Логическая функция	Разряд	Пояснения
ZF(y)	$= RG2(22) \vee RG2(21) \vee \dots \vee RG2(0)$	1	$y_k = 0$
OF(y)	$= SM1(24) (+) SM1(23)$	2	переполнение Σy
SF(y)	$= SM1(24)$	3	$sign(y_k)$
ZF(d)		4	$d_k = 0$
OF(d)		5	переполнение Σd
SF(d)		6	$sign(d_k)$

Логические условия фиксируемые операционными блоками и необходимые для работы управляющего блока приведены в таблице (табл. П3).

Таблица П3.

Логические условия

Обозначения	Логические условия	Пояснения
x1	$w = 1$	режим "работа"
x2	$k \geq 2^{-4}$	схема $j = F(x)$ отключается
x3	$c5 \vee c13$	выдача результатов

Э2. Предварительная функциональная схема операционной части препроцессора может иметь вид (рис. П2,а).

Она отличается малым числом функциональных элементов за счет совмещения выполняемых ими операций с помощью мультиплексирования ветвей схемы. Соответствующая ей временная диаграмма работы препроцессора приведена на (рис. П2,б). Из нее видно, что период вычисления значений y_k, d_k составляет 11 тактов, а задержки $T_{зд}$ составляют $T_{зд}(y) = 4$ такта, $T_{зд}(d) = 10$ тактов CLK.

Временные характеристики схемы можно несколько улучшить путем совмещения микроопераций y_1 - y_4 с y_8 - y_{12} (смотри временную диаграмму на рис. П2,в). Период выбора входных данных при этом составляет 7 тактов при неизменных временных задержках $T_{зд}(y)$, $T_{зд}(d)$.

Существенно улучшить временные характеристики схемы можно путем расширения состава функциональных элементов операционной части (см. рис. П3,а), что позволяет в большей степени совместить выполнение микроопераций: y_1 - y_8 с y_8 - y_{12} . При этом период вычисления параметров составляет 5 тактов, а время задержки $T_{зд}(d)=10$ тактов (см. рис. П3,б).

Дальнейшее расширение состава функциональных элементов (рис.П4,а) позволяет получить период $t_d = 4t_c$, а время задержки $T_{зд}(y) = 4t_c$, $T_{зд}(d) = 10t_c$.

И наконец, получить предельное значение $t_d = t_c$ можно воспользовавшись полностью конвейерной схемой (рис. П5,а). Для этого применяется стековое ЗУ на 5 отсчетов, в котором хранятся значения x_{k-1} , x_{k-2} , x_{k-3} , x_{k-4} , x_{k-5} . Такая схема не требует блока управления, все микрооперации выполняются одновременно с приходом тактового сигнала С. Стек используется для выдачи в нужный момент x_{k-4} (см. временную диаграмму Рис П5,б). Такая организация операционной части препроцессора позволяет получить максимальную частоту $f_d=1/t_c$, а запаздывание $T_{зд}$ остается неизменным.

Таким образом, все рассмотренные варианты отличаются по частоте приема обрабатываемых данных f_d , а времена запаздывания выходных отсчетов относительно входных $T_{зд}$, от структуры рассмотренных вариантов не зависят.

Для выбора одной из рассмотренных схем, необходимо определить время t_c (период сигнала CLK). Это можно сделать после выбора элементной базы операционной части препроцессора.

Для выбора элементной базы препроцессора необходимо учитывать: 1) основной состав функциональных элементов и 2) требования по быстродействию. Выбор обычно начинается с широко распространенного типа микросхем – ТТЛ (ТТЛШ).

На предыдущем этапе был установлен следующий состав функциональных элементов: 1) регистры, 2) вычитатели и сумматоры 24-разрядные, 3) умножители 24-разрядные, 4) сдвигатели 24-разрядные. Кроме того один из вариантов (рис. П2) требует использование мультиплексоров 24-разрядных: 2-1.

Такому составу функциональных элементов в наибольшей степени в ТТЛШ-БИС соответствует МПК с наращиваемой разрядностью К1802, имеющий умножители 8-разрядные 1802ВР3, ВР6, ВР7 и умножители 12и 16-разрядные, сумматоры с параллельным переносом 1802ИМ1 4-входовые и 4-разрядные. Проанализировав времена записи в регистры ТТЛШ можно принять длительность сигнала CLK, равной 35 нс.

Наиболее длительная операция принятого алгоритма вычисления функции - операция умножения используемая при возведении в квадрат. Поэтому период сигнала CLK t_c будем рассчитывать исходя из выполнения этой операции в 24-разрядном умножителе, построенном на БИС 1802ВР6 (рис. П6). В "прозрачном" режиме, когда открыты для записи регистры всех БИС, составляющих умножитель (рис. П7), умножение выполняется за один такт, длительность паузы которого должна составлять:

$$\overline{T_{CLK}} = 3t_{MPL} = 3 \times 40 = 120 \text{ нс.}$$

В конвейерном режиме умножение выполняется за три такта, длительность каждого

$$t_c = t_{MPL} + t_{RG} = 40 + 35 = 75 \text{ нс.}$$

Поскольку операция умножения выполняется всего лишь на одной стадии вычисления, второй вариант предпочтительней, поэтому принимаем $t_c = 75$ нс, причем длительность синхроимпульса $T_{CLK} = 35$ нс, длительность паузы $T_{CLK} = 40$ нс.

Такой сигнал может быть получен делением частоты входного сигнала синхронизации t_s , имеющим период 18,75 нс на 4, что просто реализуется с помощью программируемого делителя частоты.

Для выбора оптимального варианта функциональной схемы операционной части, используем частный критерий, полученный из общего (3):

$$K_э = \frac{W_{\max}}{(t_{дз} - t_{дп}) * W_i + 1}, \text{ при } T_{здп} < T_{зд}$$

где W_i - число функциональных элементов i -того варианта схемы, W_{\max} - число функциональных элементов соответствующее наиболее сложному варианту. $t_{дз} = 320$, $W_{\max} = 23$. Результаты анализа сведены в таблицу (табл. П4). Временные параметры вариантов приведены с учетом увеличения соответствующих значений.

Таблица П4.

Временные параметры вариантов

Вариант схемы	Период $t_{дп}$		W	$K_э$
	в числе тактов	значение, нс		
рис П2, а	7tc	525	16	-0.007
рис П3, а	5tc	375	17	-0.025
рис П4, а	4tc	300	19	0.06
рис П5, а	tc	75	23	0.004

Из таблицы видно, что оптимальным вариантом будет вариант, приведенный на (рис. П4, а).

К составу функциональных элементов выбранного варианта операционной части препроцессора необходимо добавить выходные преобразователи формата данных Ф1, Ф2, устройство управления СИ и схемы сопряжения по нагрузочной способности с шиной MULTIBAS SW1, SW2.

Э3. Функциональные элементы схемы реализуются следующим образом.

Вычитатель и сумматор реализуются на основе БИС АЛУ с фиксированной настройкой на выполнение арифметических операций вычитания и суммирования соответственно. 24-разрядный сумматор (вычитатель) строится на 6 БИС АЛУ 530ИП3 и 3 БИС ускоренного переноса 530ИП4 (Рис П7). Всего требуется 24 корпуса 4118.24-1 и 12 корпусов 402.16-32.

Умножитель (см. рис. П7) строится на 9 элементах (см. рис. П6). Каждый элемент содержит БИС 1802ВР6 и один регистр 1533ИР23. 8-разрядный сумматор строится на двух 555ИМ6 (корпус 402.16-32) по схеме с последовательным переносом (общее время суммирования 48 нс). Входные регистры, в которых фиксируются сомножители x и y находятся внутри БИС 1802ВР6.

Сдвигатели реализованы вместе с фиксирующими регистрами на сдвиговых регистрах (рис. П9): SRU1 реализует RG3 и SU, SRU2 RG6 и SU2. В качестве сдвигового регистра использована микросхема 133ИР13 (корпус 4118.24-1). Организовано два управляющих входа "сдвиг" для сигналов со схемы управления SCU и "параллельный ввод" для сигналов C2 и C10.

24-разрядные регистры памяти операционной части препроцессора реализованы на микросхемах 8-разрядных регистров 1533ИР27 (корпус 4153.20-1).

На этих же регистрах строятся входные преобразователи IP1, IP2 (рис. П9) время записи в регистр 15 нс, отсюда определяется длительность синхроимпульса 20 нс.

Входные преобразователи IP1, IP2 представляют собой 24-разрядные регистры, подключенные к шинам данных по схеме (рис. П11).

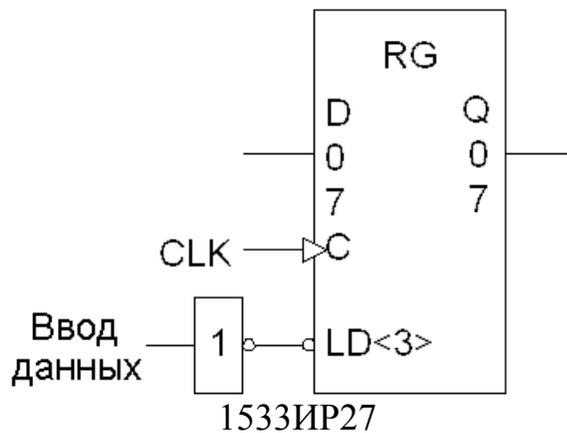


Рис. П10. Регистр памяти

Выходные преобразователи OP1, OP2 строятся на 16-разрядных счетчиках, в младшие разряды, которых на тактах выдачи результата (5-м и 11-м) добавляется 1, и на шину данных выдаются первые 15 старших разрядов, а знак числа (16-й разряд) снимается с триггера знака (рис. П12). 16-разрядный счетчик строится на 4-х микросхемах 530ИЕ17 ($t_{здp} = 28$ нс).

Схема управления сдвигом SCU может быть построена на схеме (рис. П13). Эта схема выдает 4 сигнала V, поступающие на вход "сдвиг" сдвигателя и соответствующие значения $k = 2^1, 2^2, 2^3, 2^4$, после чего схема выключается.

Схема содержит делитель частоты F/K, построенный на микросхеме 133ИЕ8, на выходе которого выдаются импульсы с частотой f_d . Эти импульсы подсчитываются счетчиком CTR, состояние которого соответствует текущему моменту времени k до тех пор, пока оно не достигнет значения $k=17$, после чего состояние счетчика становится неизменным.

Счетчик реализован на двух микросхемах 530ИЕ17 (корпус 402.16-32). Состояние счетчика дешифрируется дешифратором, построенным на двух микросхемах 133ИД3 (корпус 4118.24-1).

Для реализации ключей выдачи SW (см. рис. 5 0П15) используются микросхемы 8-разрядных приемопередатчиков (шинных драйверов) 559ИП14 (корпус 4153.20-1).

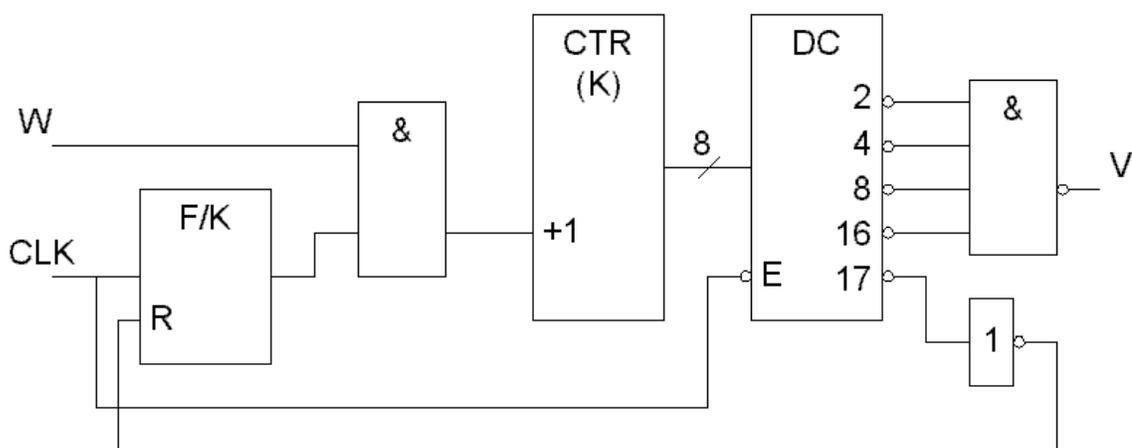


Рис. П13. Схема управления сдвигом (SCU).

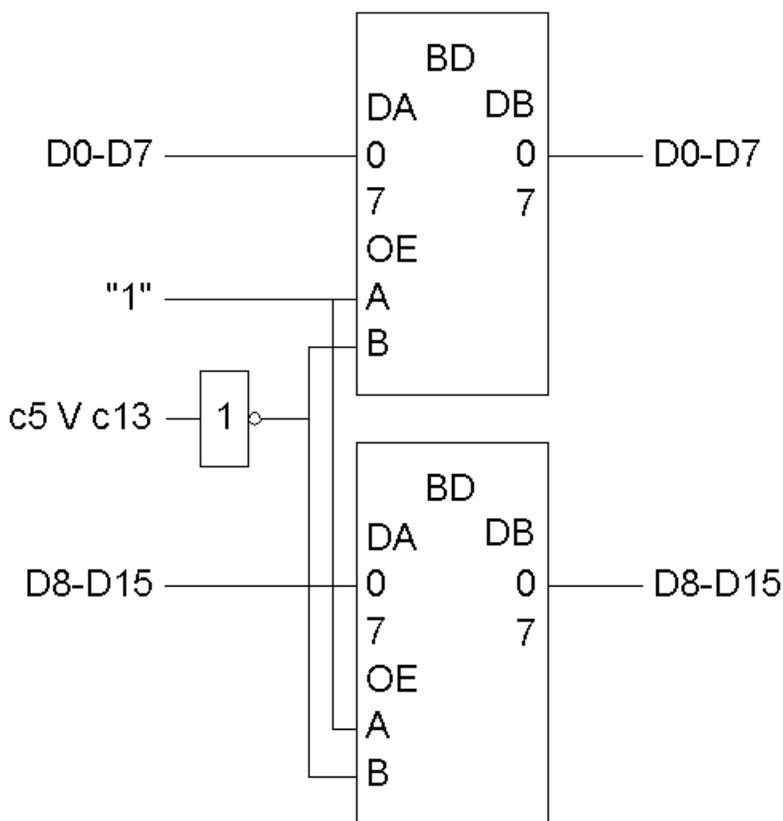


Рис П14. Ключ выдачи SW.

Регистр флагов (рис. П14) реализован на микросхеме 1533ИР34 (корпус 4118.24-1), содержащий два 4-разрядных регистра с параллельным входом и третьим состоянием выхода.

Блок управления строится в виде управляющего автомата, выдающего управляющие сигналы С1-С14 в операционные блоки.

Временная диаграмма выполнения микроопераций с учетом конвейеризации приведена на (рис.П15).

D(1)	1	2	3	4	5 6 7	8	8	8	9	10	11 12		1	2	3	4	5 6 7	8	8	8	9	10	11 12		1
D(2)	9	10	11 12		1	2	3	4	5 6 7	8	8	8	9	10	11 12		1	2	3	4	5 6 7	8	8	8	9
D(3)	5 6 7	8	8	8	9	10	11 12		1	2	3	4	5 6 7	8	8	8	9	10	11 12		1	2	3	4	5 6 7
k	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25

Рис П15. Временная диаграмма выполнения микроопераций: для каждого момента времени k указаны номера i микроопераций Y_i , выполняемых для потоков данных $D(j)$, $j=1,2,3$.

За один цикл работы в операционной части одновременно находятся три потока данных $D(1), D(2), D(3)$. Поэтому в одном такте одновременно выполняются от 2 до 5 микроопераций. На рис. П16 цифрами обозначены соответствующие им микрооперации.

В соответствии с временной диаграммой (рис. П15) граф работы управляющего автомата имеет вид (рис. П16). Такому графу соответствует схема (рис. П17).

Реализован блок управления на микросхемах 530ИЕ17, 1533ИД4, 1533ЛН8.

В результате выполнения этого этапа заполняется таблица состава элементов (табл. П5). При расчете площади посадочных мест микросхем длина выводов микросхем с обеих сторон после формовки принята равной 6.5 мм.

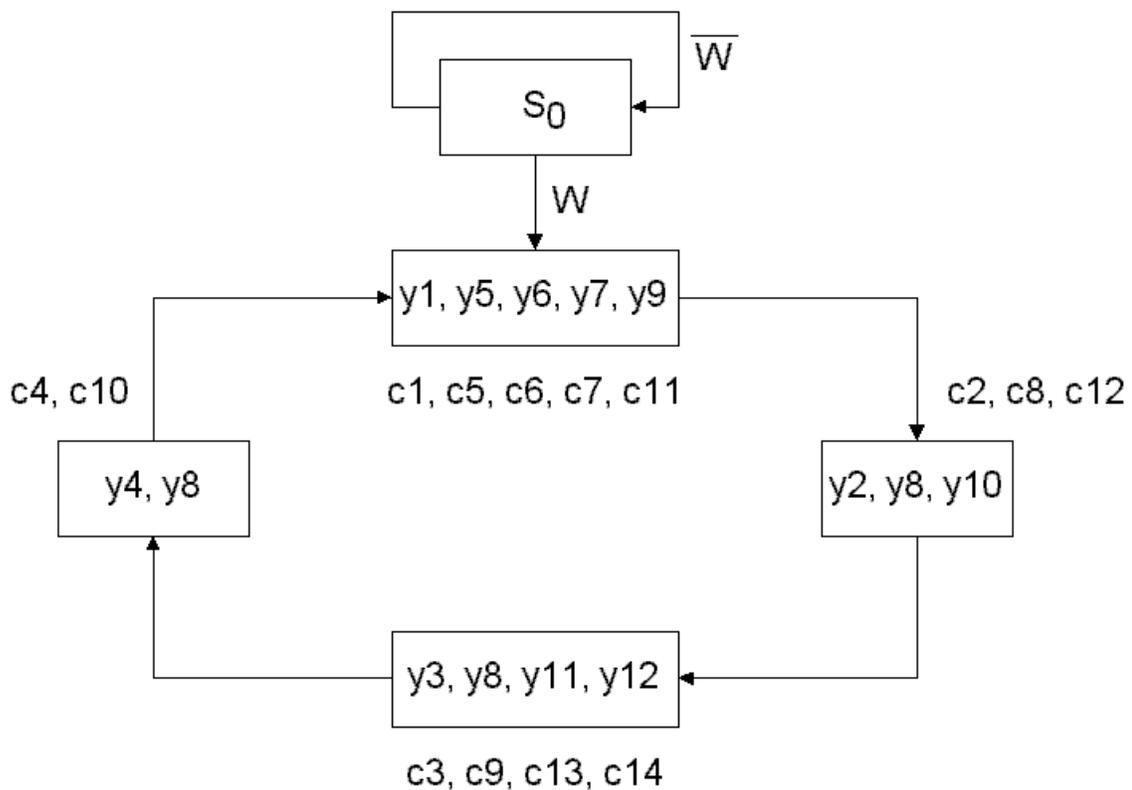


Рис. П16. Граф работы блока управления: S_0 - исходное состояние, W - сигнал "работа", $c1-c14$ - управляющие сигналы, соответствующие схеме (рис. П4,а)

Э4. Таким образом, на этапе Э3 определен полный состав микросхем препроцессора (см. табл. П5). Анализ таблицы позволяет сделать следующие выводы:

1. потребляемая мощность препроцессора

$$\Phi_n = I_n \times U_n = 17,835 \times 5 = 89,2 \text{ Вт};$$

2. критерий качества проекта

$$Q = \frac{220 * 100}{(220 - 200) * 89.2 + 1} = 12.3$$

3. Общая площадь посадочных мест равна 32472 мм². Поэтому число поверхностей размещения

$$N = \frac{S}{0.8 * S_{II}} = \frac{32472}{28476 * 0.8} = 1.42$$

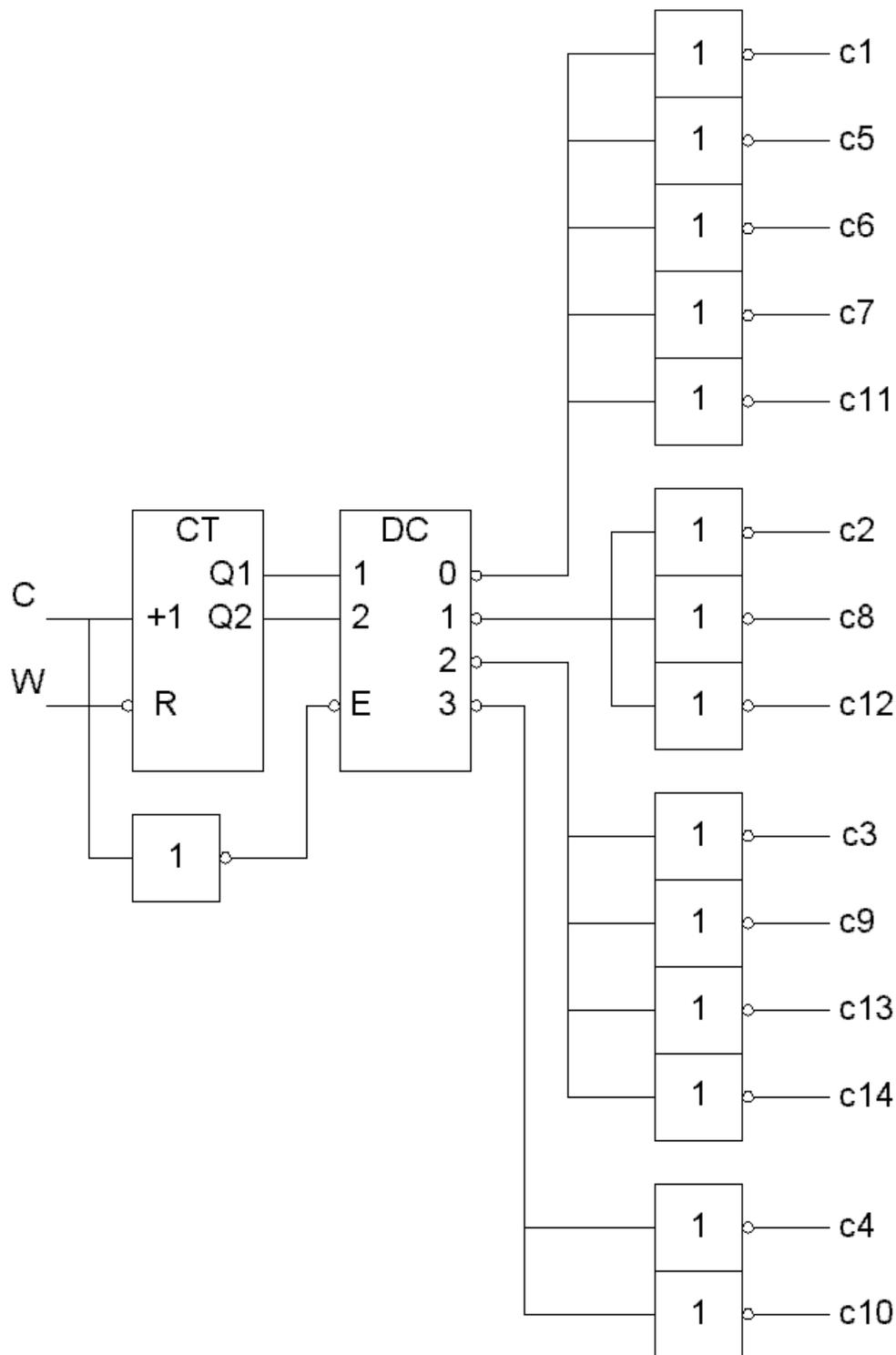


Рис. П17. Блок управления

Отсюда следует, что конструктивно препроцессор, при заданном размере плат, может быть выполнен на одном ТЭЗ, выполненном на многослойной печатной плате с двусторонним размещением микросхем. Поэтому в данном случае отсутствует задача разбиения схемы препроцессора на схемы ТЭЗ. Разбиение на стороны (0 и 1) ТЭЗа может быть выполнено из чисто конструктивных соображений. Иногда оказывается

удобным такое разбиение сделать по функциональному принципу. Пример такого разбиения показан в табл.8 в виде табл.6 и табл.7.

Кроме микросхем плата включает вилку разъема заданного типа (СНП34-90), фильтрующие конденсаторы: два электролитических К53-4-15-4,7 и 128 (по числу микросхем) керамических КМ-51-Н900,05, устанавливаемых на плате в непосредственной близости от микросхемы. Для подачи "1" устанавливаются резисторы.

МПП содержит 7 слоев. Два из них являются экранирующими и используются для подвода питания к микросхемам. Два внешних слоя содержат только контактные площадки, на которые распаиваются микросхемы, фильтрующие конденсаторы и резисторы. Три внутренних сигнальных слоя, разделенные экранирующими слоями, служат для обеспечения связей между элементами в соответствии с принципиальной электрической схемой.

По полученным временным диаграммам и по отлаженной принципиальной схеме определяются параметры препроцессора:

- максимальная частота поступления входных данных

$$F_d = \frac{1}{t_d} = \frac{1}{300} = 3.33 \text{ МГц}$$

- время задержки выходного потока данных относительно входного $T_{зд} = 10t_c = 750 \text{ нс}$;
- потребляемая мощность $P_n = 89,2 \text{ Вт}$;

Таблица 6

Состав ТЭЗ (сторона 0)

Микросхемы	Количество	Функциональные элементы	Посадочное место		Потребляемый ток, мА
			Размер, мм	Площадь, мм ²	
1	2	3	4	5	6
1533ИР27	3	RG1	12,5x18,5	693,75	84
1533ИР27	3	RG2	12,5x18,5	693,75	84
530ИПЗ	6	SBI	14,5x18,5	1609,5	1320
530ИП4	3	SBI	11,5x15,8	545,1	327
133ИР13	3	SRU1	42,5x18,5	804,75	348

133ИЕ8	1	SCU	11,5x15,8	181,7	33
530ИЕ17	2	SCU	11,5x15,8	363,4	320
133ИДЗ	2	SCU	14,5x18,5	536,5	66
530ЛА6	1	SCU	10,0x13,2	132	44
1533ИР27	3	RG4	12,5x18,5	693,75	84
530ИПЗ	6	SM1	14,5x18,5	1609,5	1320
530ИП4	3	SM1	11,5x15,8	545,1	327
1533ИПЗ4	1	RGF	14,5x18,5	268,25	31
559ИП14	2	SW1	12,5x18,5	462,5	300
530ИЕ17	1	CU	11,5x15,8	181,7	160
1533ЛН8	5	CU	10,0x13,2	660	60
133ИД4	1	CU	11,5x15,8	181,7	40
530ИЕ17	4	OP1	11,5x15,8	726,8	136
555ТМ8	1	OP1	11,5x15,8	181,7	18
HE	1		10,5x13,2	138,6	12
И-HE	1		10,5x13,2	138,6	27
Всего	53			11399	5141

Таблица 7

Состав ТЭЗ (сторона 1)

Микросхемы	Количество	Функциональные элементы	Посадочное место		Потребляемый ток, мА
			Размер, мм	Площадь, мм ²	
1	2	3	4	5	6
530ИПЗ	6	SB2	14,5x18,5	1609,5	1320
530ИП4	3	SB2	11,5x15,8	545,1	327
1533ИР27	3	RG5	12,5x18,5	693,75	84
1802ВР6	9	MPL	33,1x22,2	6927,38	7200
1533ИР23	9	MPL	12,5x18,5	2081,25	405
555ИМ6	18	MPL	11,5x15,8	3270,6	702
133ИР13	3	SRU2	14,5x18,5	804,75	348
1533ИР27	3	RG7	12,5x18,5	693,75	84
530ИПЗ	6	SM2	14,5x18,5	1609,5	1320
530ИП4	3	SM2	11,5x15,8	545,1	327
1533ИР27	3	RG8	12,5x18,5	693,75	84
559ИП14	2	SW2	12,5x18,5	462,5	300
530ИЕ17	4	OP2	11,5x15,8	726,8	136
555ТМ8	1	OP2	11,5x15,8	181,7	18
HE	1		10,5x13,2	138,6	12
И-HE	1		10,5x13,2	138,6	27
Всего	75			21073	12694

- погрешность вычислений $\sigma = 2^{-L} = 2^{-22} = 0,0000002$.

Надежность устройства приближенно оценивается по выражению (10). Приняв для микросхем и разъема $\lambda = 1 \cdot 10^{-7}$ час⁻¹:

$$P(10\ 000) = \exp(-129 \cdot 10^{-7} \cdot 10^4) = e^{-0,129} = 0,878$$

Э5. При разработке конструкции решается задача размещения микросхем, и предусматриваются меры защиты от воздействия климатических и механических факторов, соответствующих группе 2 и ремонтоспособность.

Ремонтоспособность обеспечивается:

- наличием контрольных точек для подсоединения измерительной аппаратуры при настройке и контроле работы препроцессора;
- разработкой с помощью САПР диагностического и проверяющего теста.

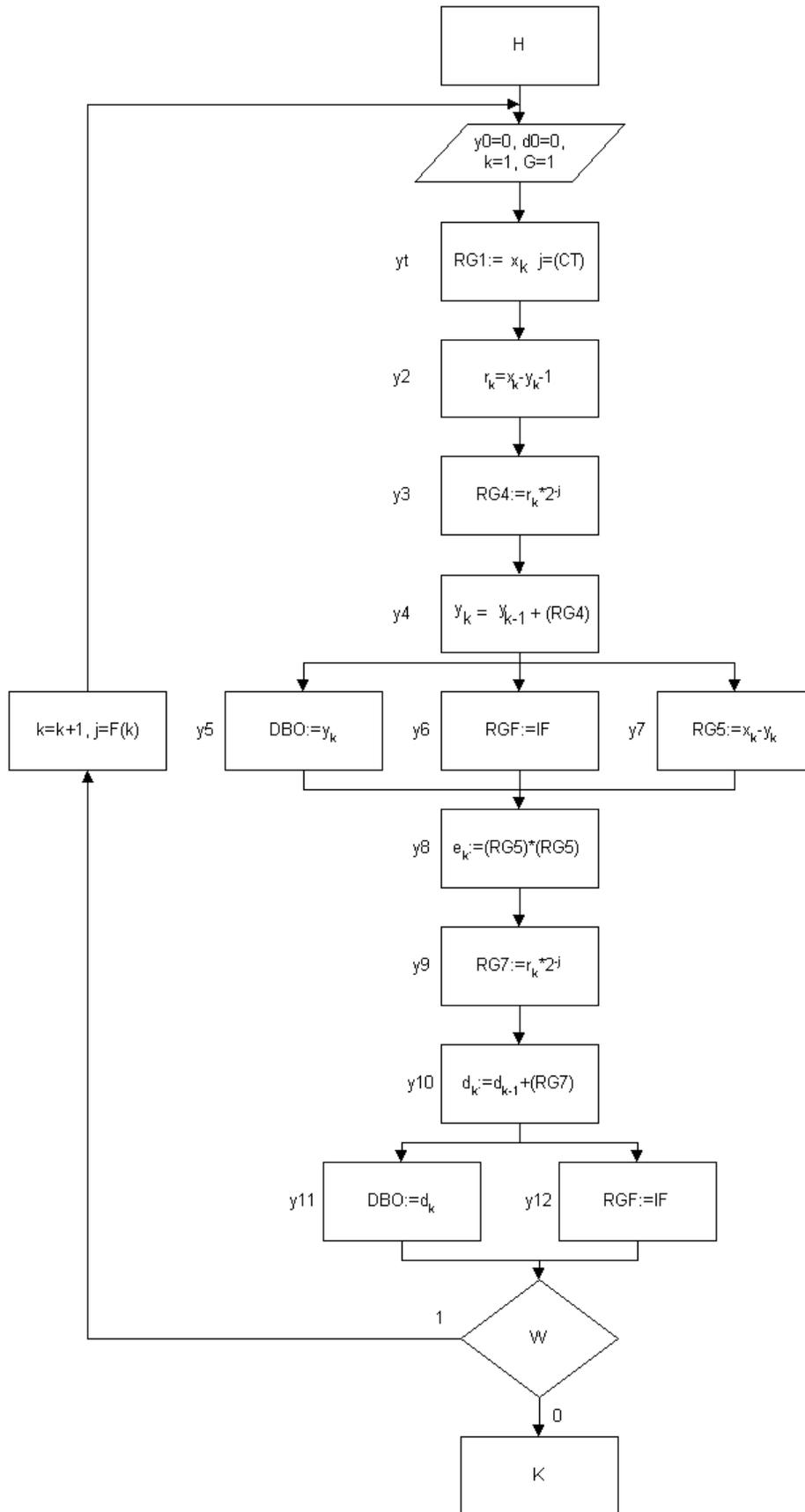


Рис. П1, а. Алгоритм работы операционной части препроцессора

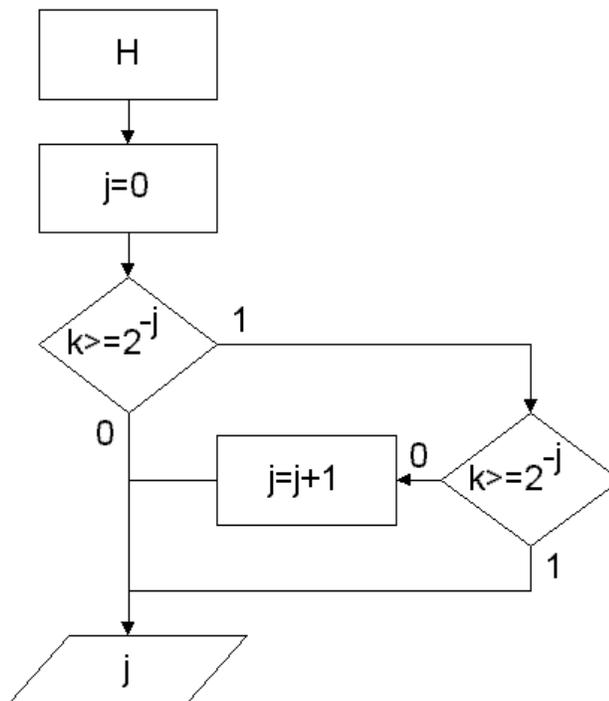
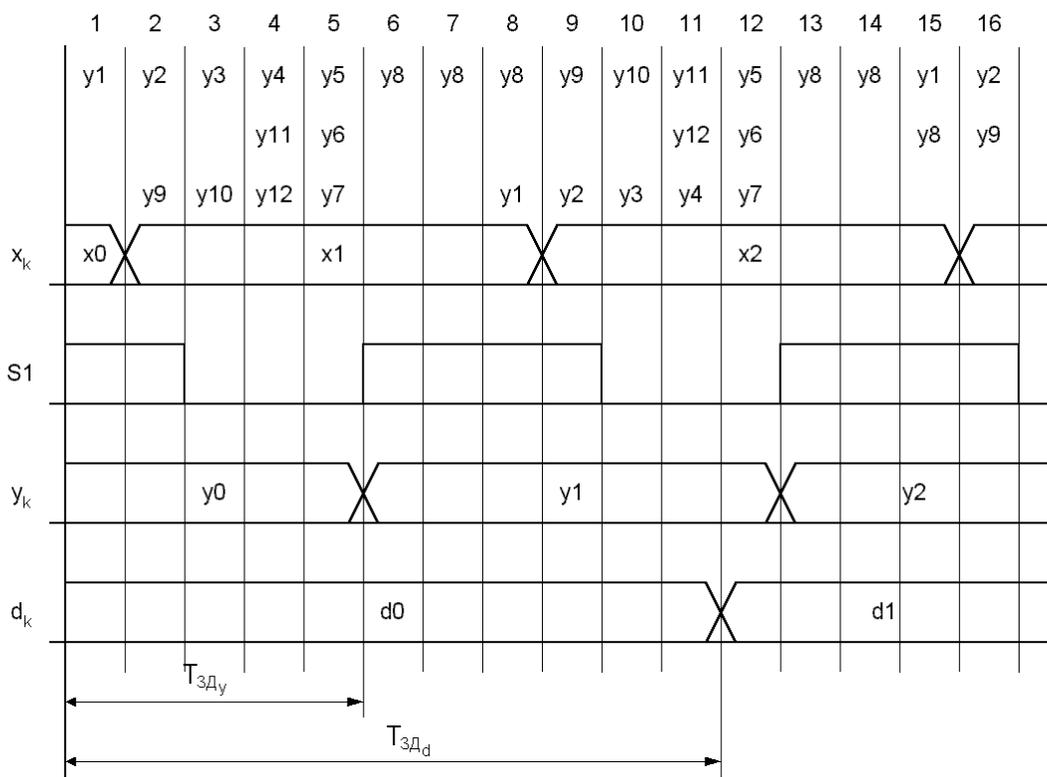
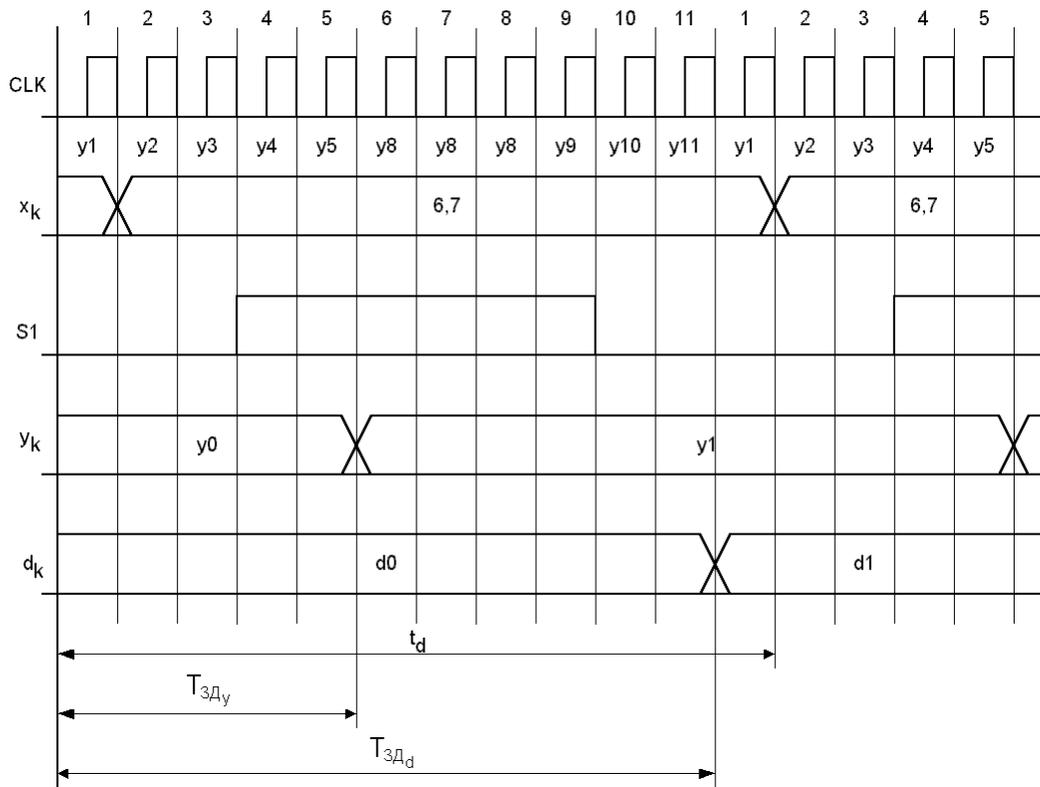


Рис. П1, б. Алгоритм вычисления I-F(k) (Работы схемы управления двигателем SCU)



б

в

Рис. П2.б, в. Временные диаграммы работы первого варианта схемы: б – без совмещения во времени; в – с совмещением во времени выполнения микроопераций

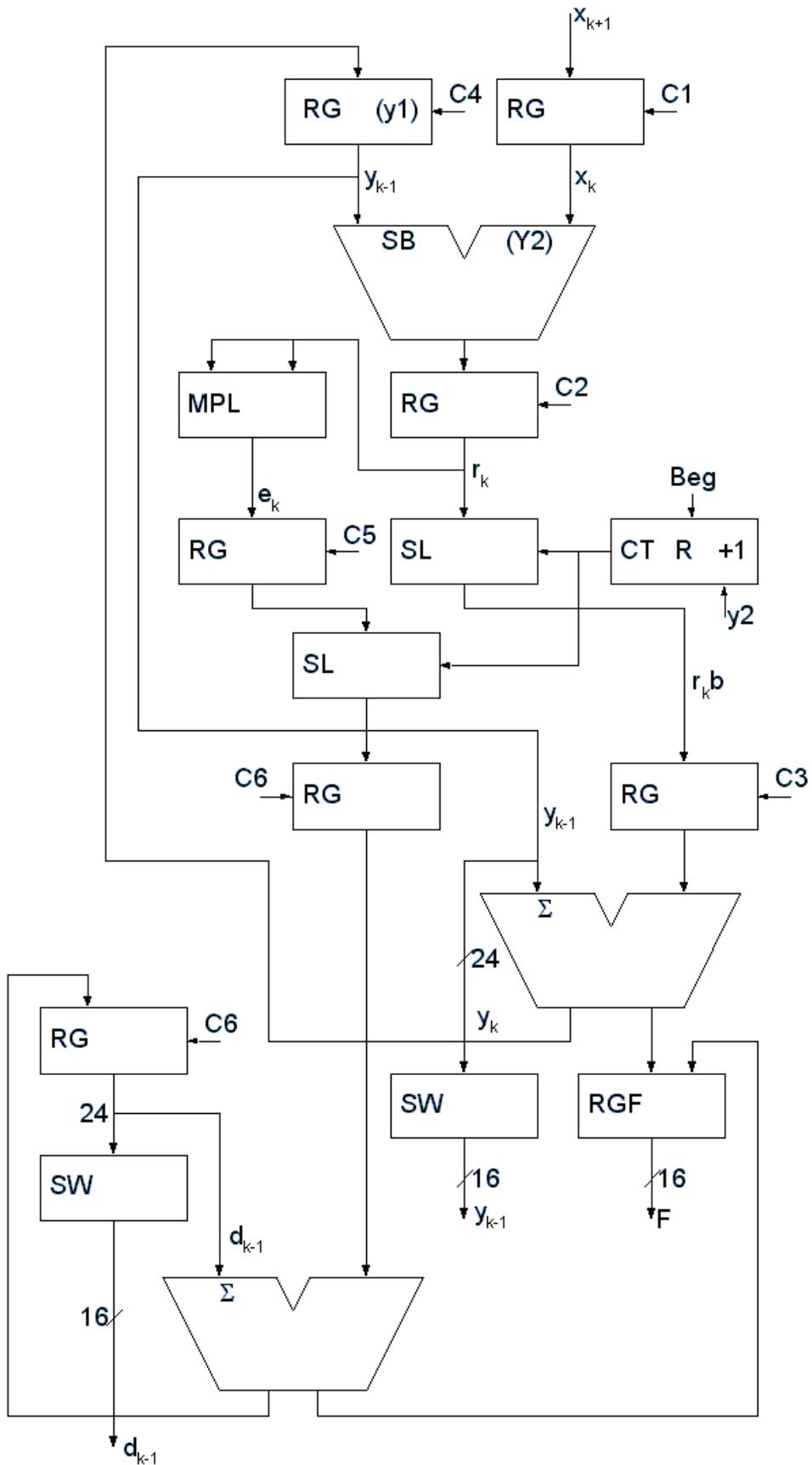


Рис. ПЗ. Второй вариант операционной части: а – функциональная схема

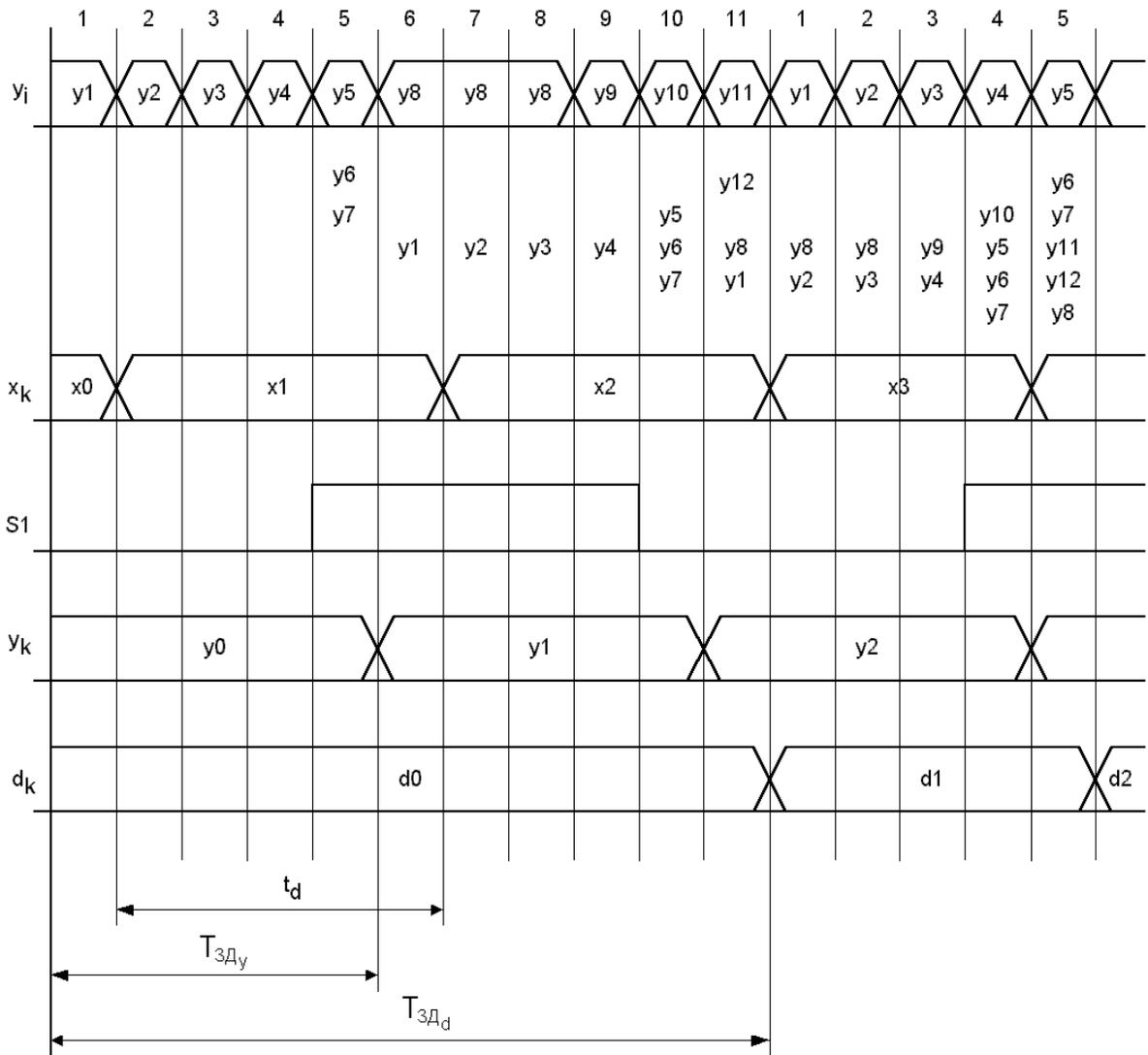


Рис. ПЗ. Второй вариант операционной части: б – временная диаграмма работы

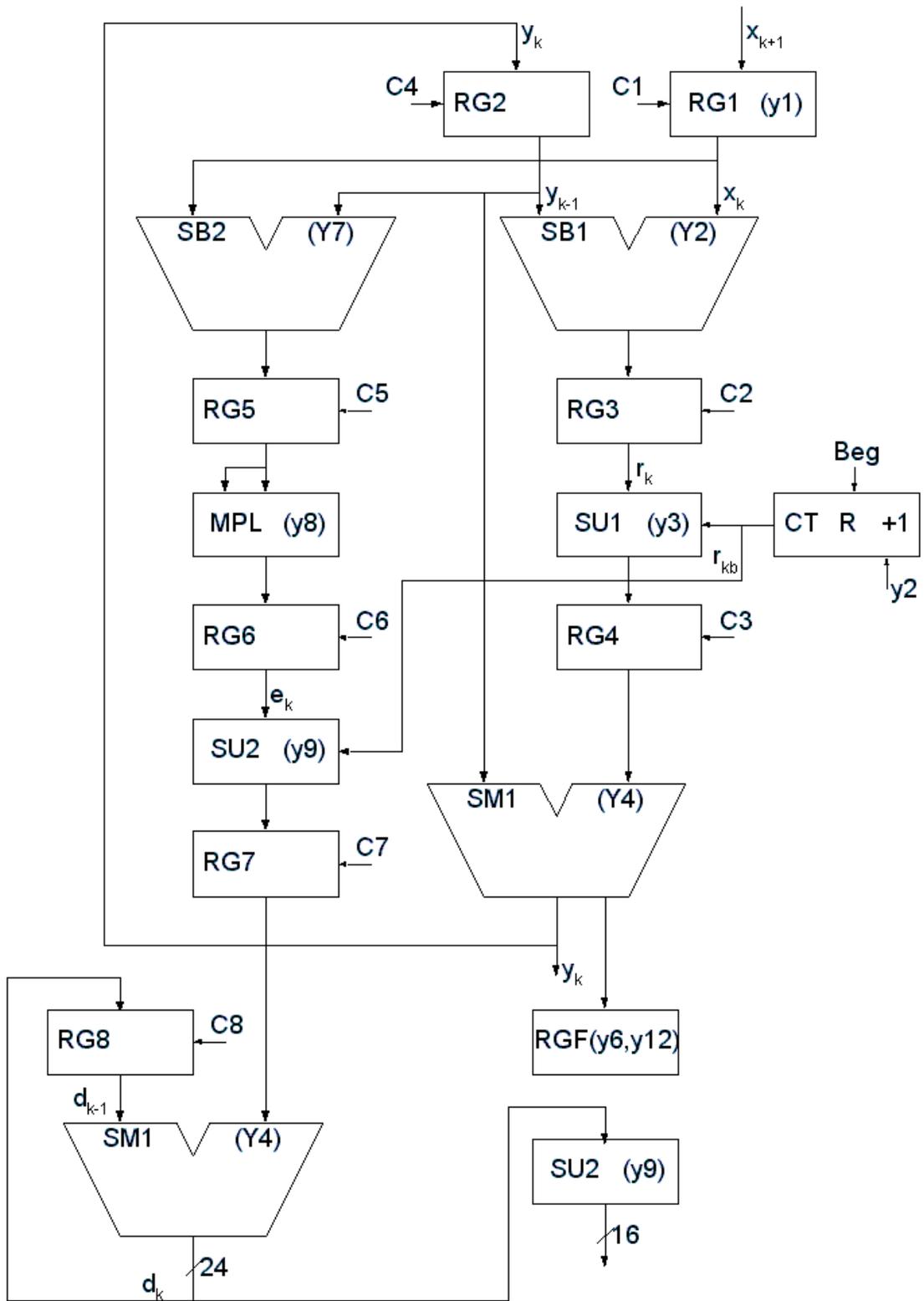


Рис. ПЗ. Третий вариант операционной части: а – функциональная схема;

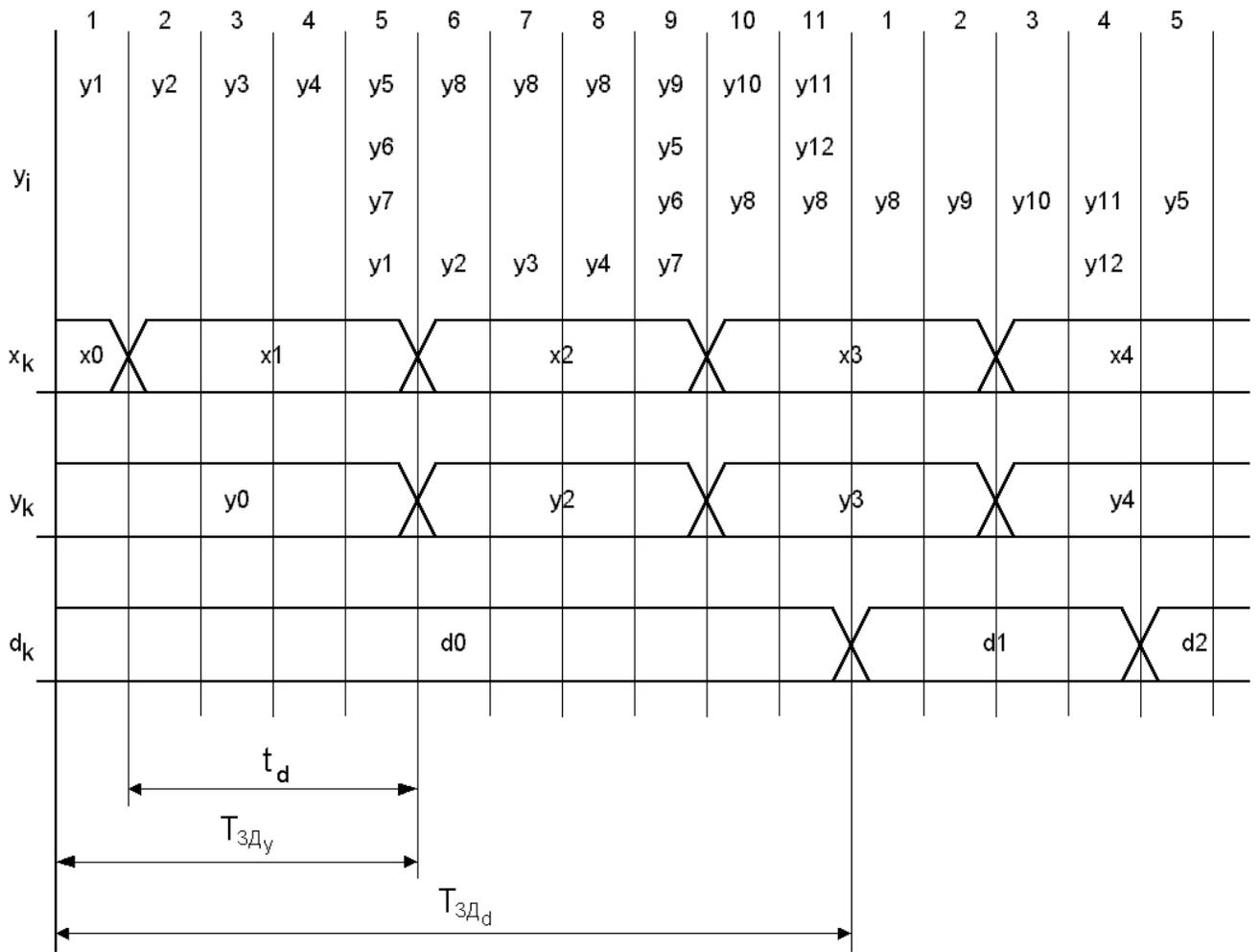


Рис. П4. Третий вариант операционной части: б – временная диаграмма работы

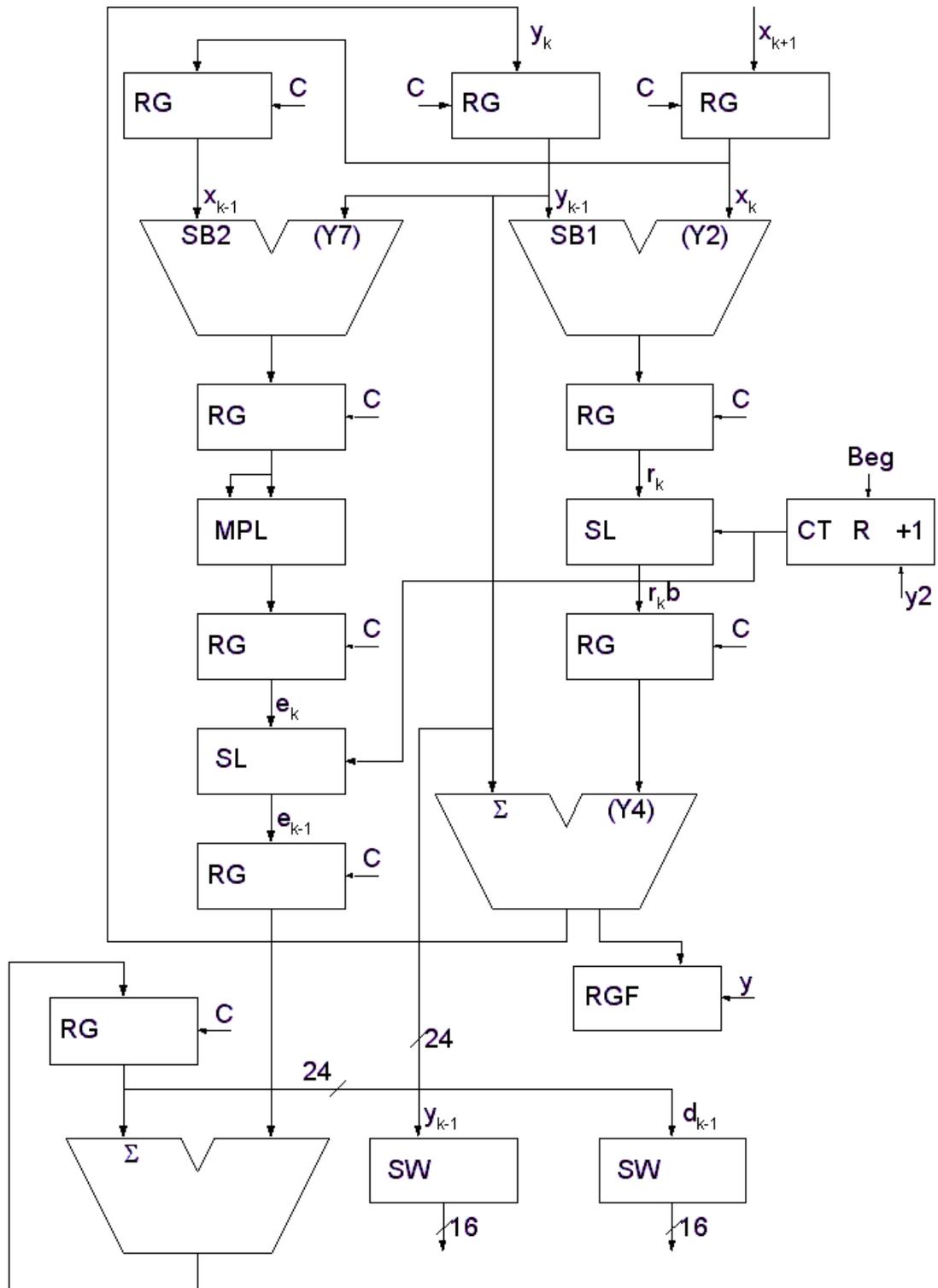


Рис. ПЗ. Четвёртый вариант операционной части: а – функциональная схема;

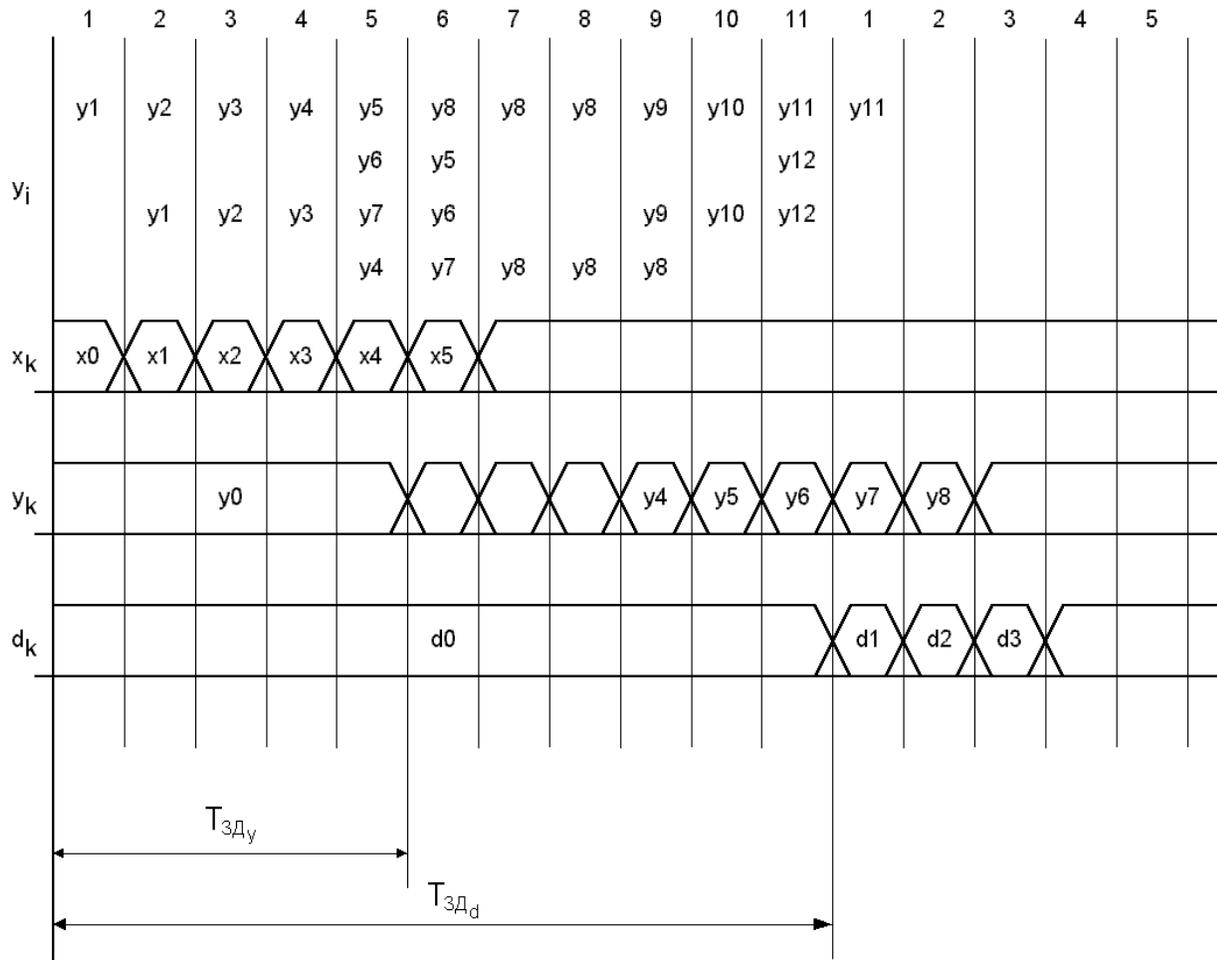
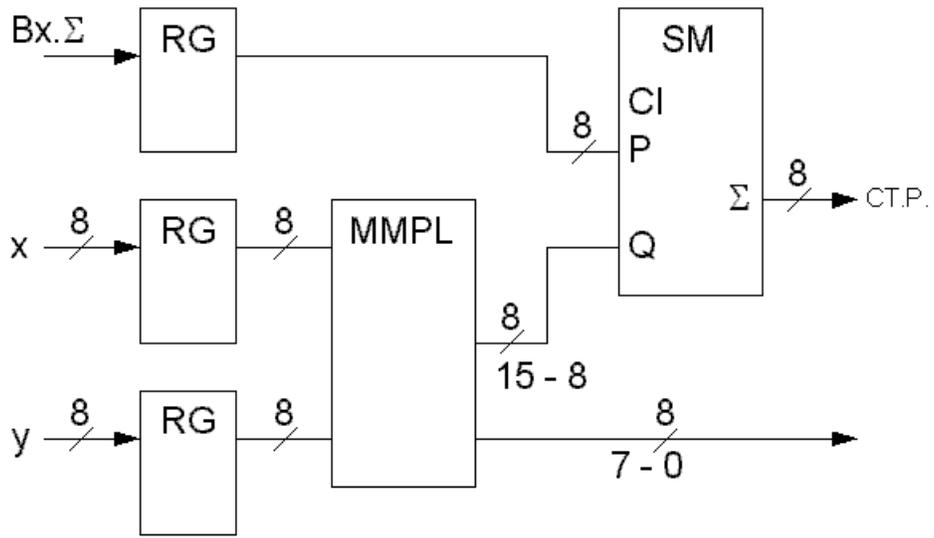
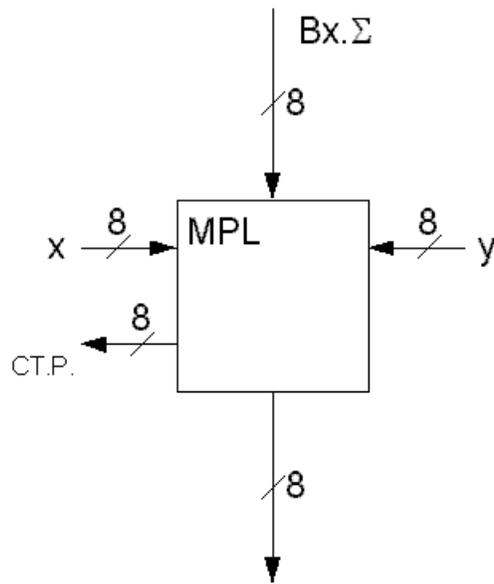


Рис. П5. Четвёртый вариант операционной части: б – временная диаграмма работы



а



б

Рис.П6. 8-разрядный элемент MPL многоразрядного умножителя: а - структурная схема, б - условное обозначение, MMPL - БИС 8-разрядного умножителя

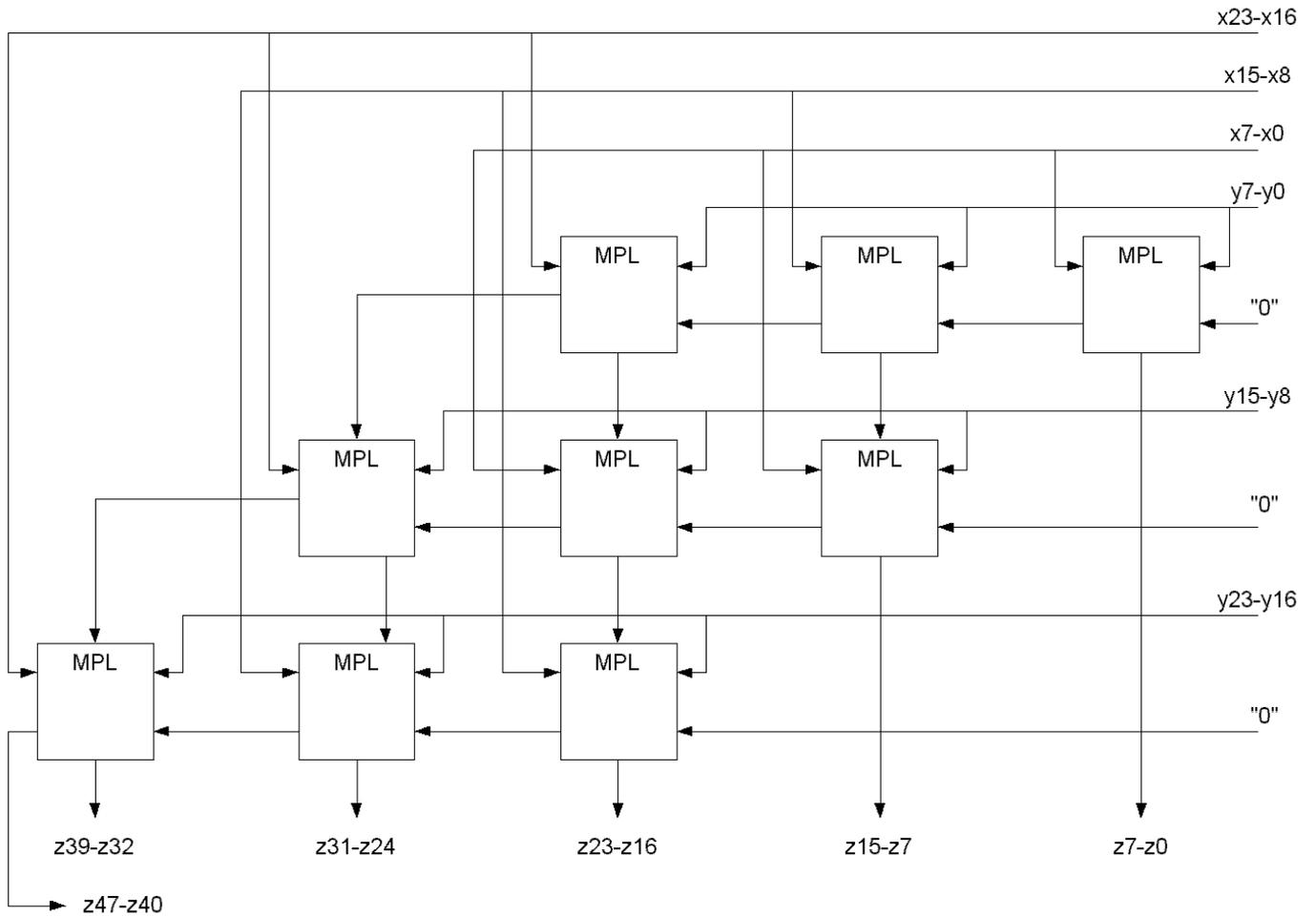


Рис. П7. Схема 24-разрядного умножителя, построенная на 8-разрядных элементах (см.рис.П6).

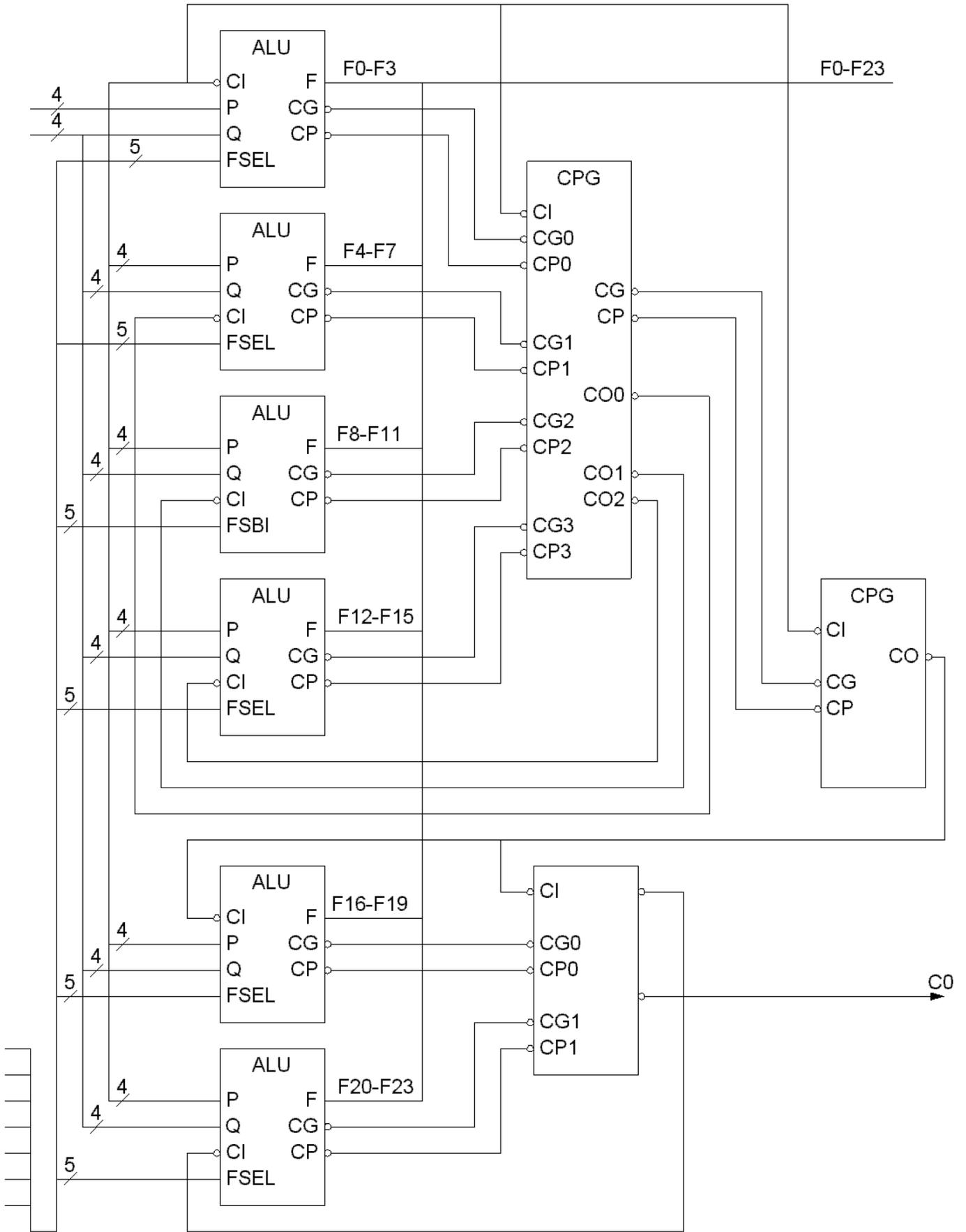
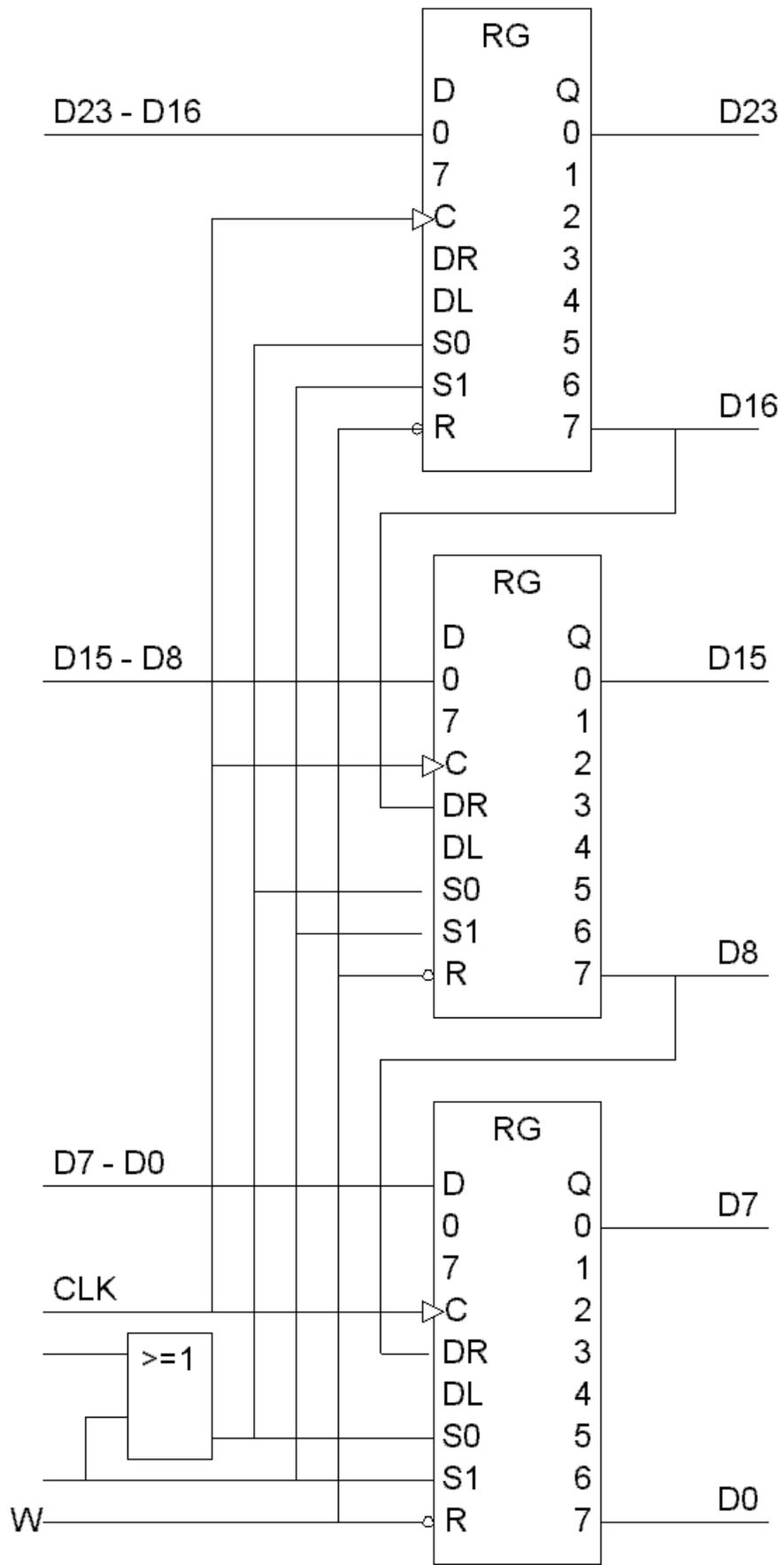


Рис.П8. Схема 24-разрядного сумматора.

Рис.П9. Сдвигатель SU и фиксирующий регистр RG: SRU



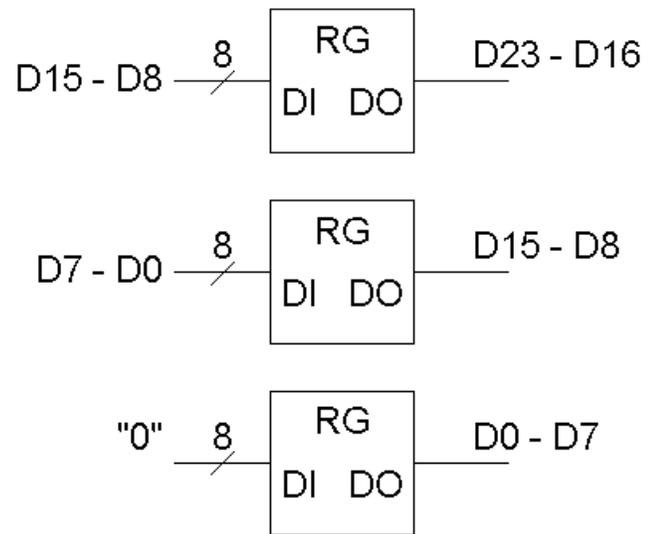


Рис.П11. Входной преобразователь (IP1,IP2)

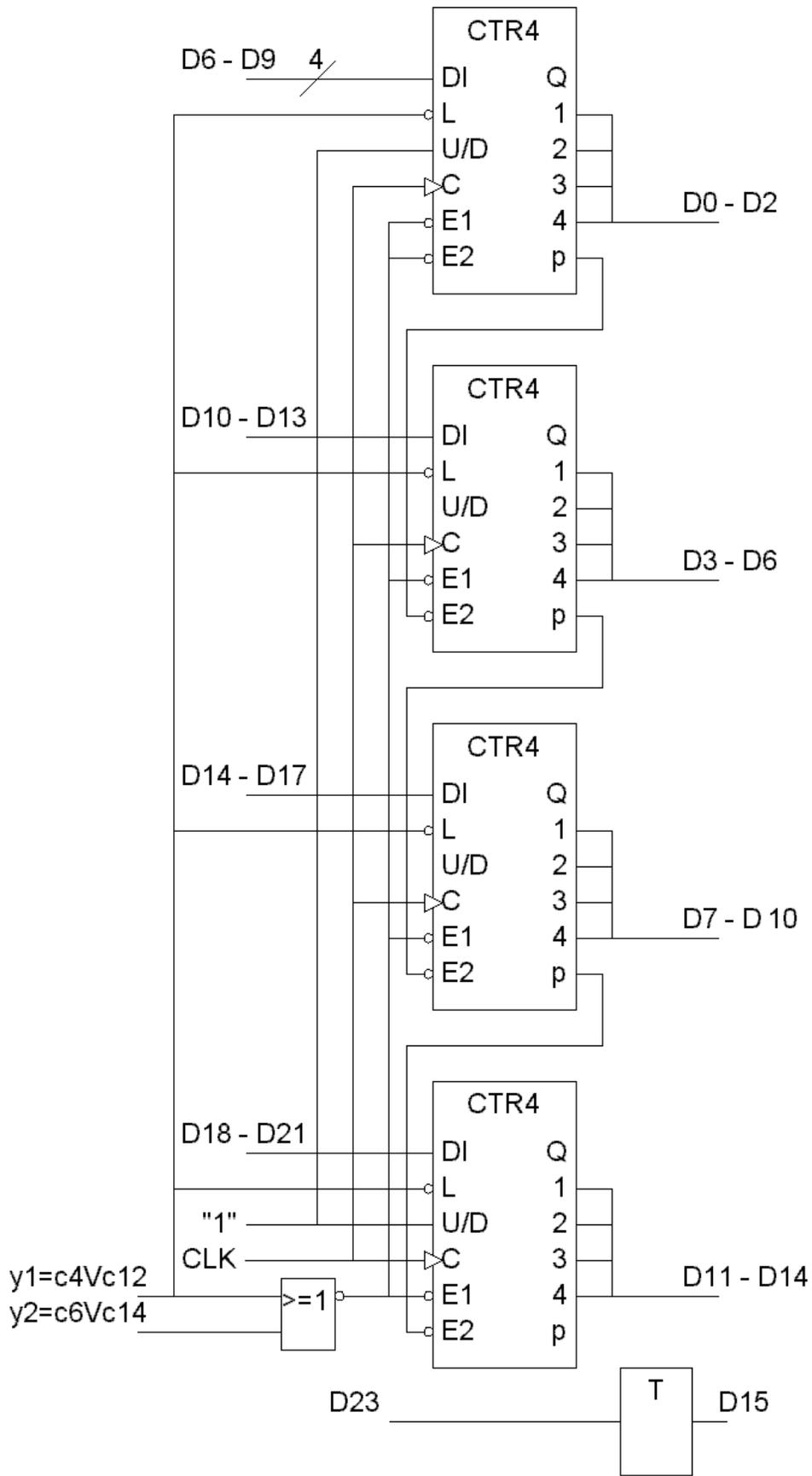


Рис.П12. Выходной преобразователь (OP1,OP2).

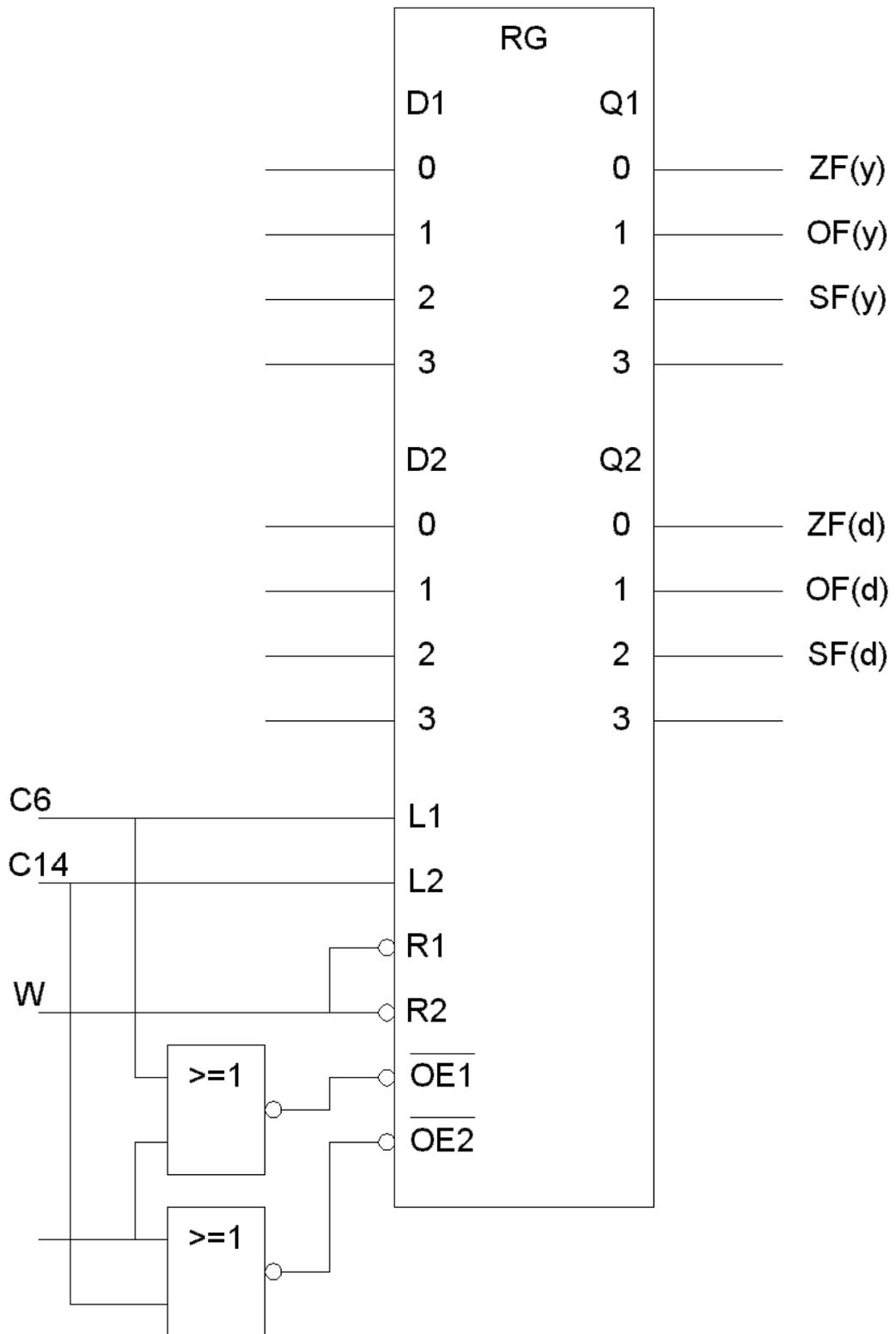


Рис. П13. Регистр флагов: Зп Пр - запись признаков

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Оранский А.М. Аппаратные методы в цифровой вычислительной технике
Минск :Изд-во БГУ,1977.- 208 с.
2. Байков В.Д, Смоллов В.Б. Специализированные процессоры: Итерационные алгоритмы и структуры - М.: Радио и связь, 1985.- 288 с.
3. Цифровые электронные вычислительные машины / К.Г. Самофалов и др. - Киев: Высш. шк.,1989.- 424 с.
4. Майоров С.А., Новиков Г.И. Структуры электронных вычислительных машин - Л.: Машиностроение,1979. - 384 с.
5. Каган Б.Н. Электронные вычислительные машины и системы - М.: Энергоатомиздат,1991.- 592 с.
6. Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник М: Радио и связь, 1990. - 304 с.
7. Применение интегральных микросхем в электронной вычислительной технике: Справочник / Данилов Р.В и др.; Под ред. Файдулаева Б.Н.- М.: Радио и связь, 1987.- 384 с.
8. Схемотехника ЭВМ /Под ред. Соловьева Г.Н.-М.:Высш.шк.,1985.- 391 с.
9. Алексенко А.Г., Шагурин И.И. Микросхемотехника - М.: Радио и связь, 1982.- 416 с.
- 10.Голдсуорт Б. Проектирование цифровых логических устройств - М.:Машиностроение,1985.- 288 с.
- 11.Цифровые интегральные микросхемы: Справочник /Мальцев П.П. и др. - М.: Радио и связь, 1994-240с.
- 12.Аванесян Г.Р.Левшин В.П. Интегральные микросхемы ТТЛ,ТТЛШ: Справочник.-М.:Машиностроение,1993.- 256 с.
- 13.Применение интегральных микросхем памяти :Справочник /Дерюгин А.А. и др. - М.: Радио и связь,1994.- 232 с.

14. Цифровые и аналоговые интегральные микросхемы: Справочник /Якубовский С.В и др. - М.: Радио и связь,1989.- 496 с.
15. Баранов С.И.Скляр В.А.Цифровые устройства на программируемых БИС с матричной структурой -М.: Радио и связь,1986.- 272 с.
16. Токарев В.Л. Автоматизированное схемотехническое проектирование цифровых устройств. Методические указания по использованию САПР Р-САД - Тула: ТГТУ, 1995. - 44 с.
17. Иоффе М.И. Диагностирование логических схем - М.: Наука, 1989. - с.
18. Савельев А.Я., Овчинников В.А. Конструирование ЭВМ и систем - М.: Высш.шк.1984 - 248 с.
19. Преснухин Л.Н., Шахнов В.А. Конструирование ЭВМ и систем - М.:Высш. шк.1986.- 512 с.
20. ГОСТ 2.004-88 ЕСКД. Общие требования к выполнению конструкторских и технологических документов на печатающих и графических устройствах вывода ЭВМ.
21. ГОСТ 2.743-91 ЕСКД. Обозначения условные графические в схемах. Элементы цифровой техники.
22. ГОСТ 2.708-81 ЕСКД. Правила выполнения электрических схем цифровой электрической техники.
23. ГОСТ 2.755-87 ЕСКД. Обозначения условные графические в схемах. Устройства коммутационные и соединения контактные.
24. ГОСТ 2.702-75 ЕСКД. Правила выполнения электрических схем.
25. Матикашвили Т.И. Оформление документов по программированию и цифровой электронике. - Тула: ТГТУ,1994.- 44 с.
26. Усатенко С.Т., Каленюк Т.К., Терехова М.В. Выполнение электрических схем по ЕСКД - М.: Изд-во стандартов ,1989. - 325 с.
27. Мячев А.А. Степанов В.Н. Щербо В.К. Интерфейсы систем обработки данных-М.: Радио и связь,1989.

28. Колесниченко О.В., Шишигин И.В. Аппаратные средства РС. – 4-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2000. – 1024 с.
29. Миловзоров О.В. Электроника: Учебник для вузов/О.В.Миловзоров, И.Г.Панков. – М.:Высш. шк., 2004. – 288 с.