

Задача № 4 к курсовому проекту

Изучение параллельного двоичного сумматора

Цель работы: изучение сумматора и вычитателя, способов их проектирования, построение логических схем параллельного сумматора в булевом базисе, а также в базисах Пирса и Шеффера.

Краткие теоретические сведения. Сумматоры выполняют арифметическое сложение и вычитание чисел. Имеют самостоятельное значение и являются также ядром схем арифметико-логических устройств (АЛУ), реализующих ряд разнообразных операций и являющихся непременной частью всех процессоров и спецвычислителей.

Аппаратная сложность и быстродействие сумматора являются очень важными параметрами и поэтому разработано множество вариантов сумматоров. Среди них можно выделить следующие типы сумматоров:

- одноразрядный сумматор без входного переноса;
- одноразрядный сумматор со входным переносом;
- многоразрядный последовательный сумматор с последовательным переносом;
- многоразрядный последовательный сумматор с параллельным переносом;
- многоразрядный параллельный сумматор.

Одноразрядный сумматор без входного переноса

Одноразрядный сумматор без входного переноса (рис. 3.1, а) имеет два входа (два слагаемых – A_i и B_i) и 2 выхода (суммы S_i и переноса C_i в следующий разряд). Таблица истинности одноразрядного сумматора без входного переноса показана в табл. 3.1.

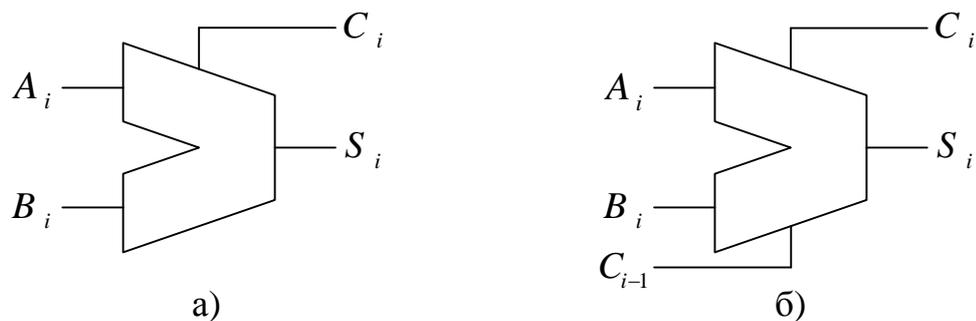


Рис. 3.1. Одноразрядный сумматор: без входного переноса (а), со входным переносом (б)

Таблица 3.1. Таблица истинности одноразрядного сумматора без входного переноса

№ набора	Входы		Выходы	
	A_i	B_i	C_i	S_i
0	0	0	0	0
1	0	1	0	1
2	1	0	0	1
3	1	1	1	0

Одноразрядный сумматор без входного переноса реализует следующую функциональную зависимость:

$$C_i S_i = A_i + B_i.$$

Одноразрядный сумматор со входным переносом

Одноразрядный сумматор со входным переносом (см. рис. 3.1, б) имеет 3 входа (два слагаемых A_i и B_i , и перенос из предыдущего разряда C_{i-1}) и 2 выхода (суммы S_i и переноса C_i в следующий разряд). Таблица истинности одноразрядного сумматора со входным переносом показана в табл. 3.2.

Таблица 3.2. Таблица истинности одноразрядного сумматора со входным переносом

№ набора	Входы			Выходы	
	C_{i-1}	A_i	B_i	C_i	S_i
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	0	1
3	0	1	1	1	0
4	1	0	0	0	1
5	1	0	1	1	0
6	1	1	0	1	0
7	1	1	1	1	1

Одноразрядный сумматор со входным переносом реализует операцию:

$$C_i S_i = A_i + B_i + C_{i-1}.$$

Многоразрядный последовательный сумматор с последовательным переносом

Многоразрядный последовательный сумматор с последовательным переносом (рис. 3.2) строится как цепочка одноразрядных сумматоров со входным переносом (см. рис. 3.1, б), соединенных последовательно по цепям переноса.

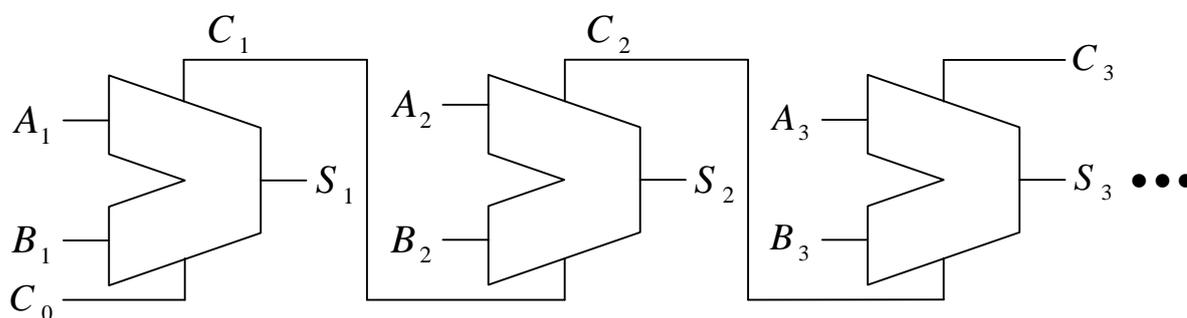


Рис. 3.2. Многоразрядный последовательный сумматор с последовательным переносом

Многоразрядный последовательный сумматор с параллельным переносом

Сумматоры с параллельным переносом разработаны для получения максимального быстродействия.

Сумматоры с параллельным переносом не имеют последовательного распространения переноса вдоль разрядной сетки. Во всех разрядах результаты вырабатываются одновременно, параллельно во времени. Сигналы переноса для данного разряда формируются специальными схемами, на входы которых поступают все переменные, необходимые для выработки переноса, т.е. те, от которых зависит его наличие или отсутствие. Такие схемы называют схемами ускоренного переноса. Сумматор на основе схемы (логики) ускоренного переноса, использующийся в ПЛИС серий *Virtex* и *Spartan* фирмы *Xilinx* показан на рис. 3.3. Аналогичным образом строится и сумматор-вычитатель на основе логики ускоренного переноса (рис. 3.4), у которого входной сигнал $add = 1$ при сложении, $add = 0$ – при вычитании.

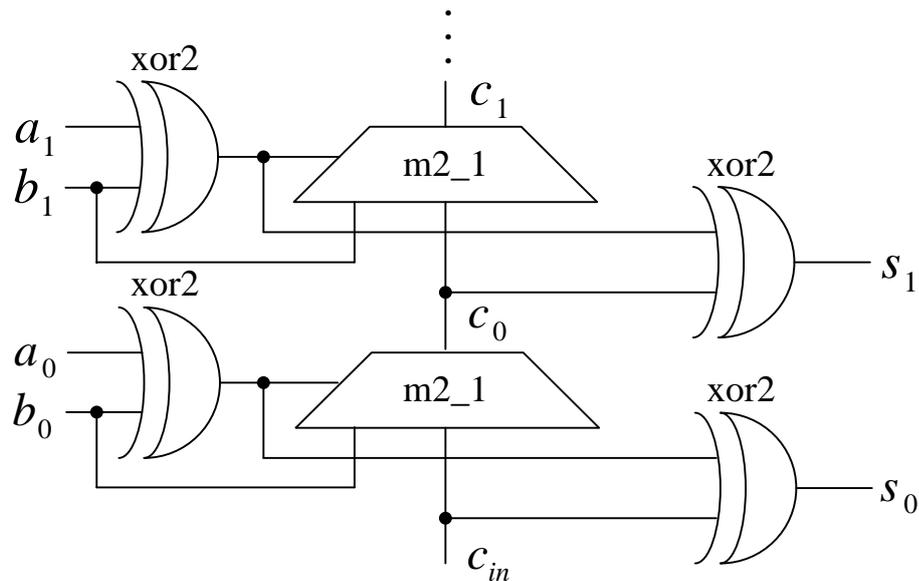


Рис. 3.3. Многоразрядный последовательный сумматор на основе логики ускоренного переноса

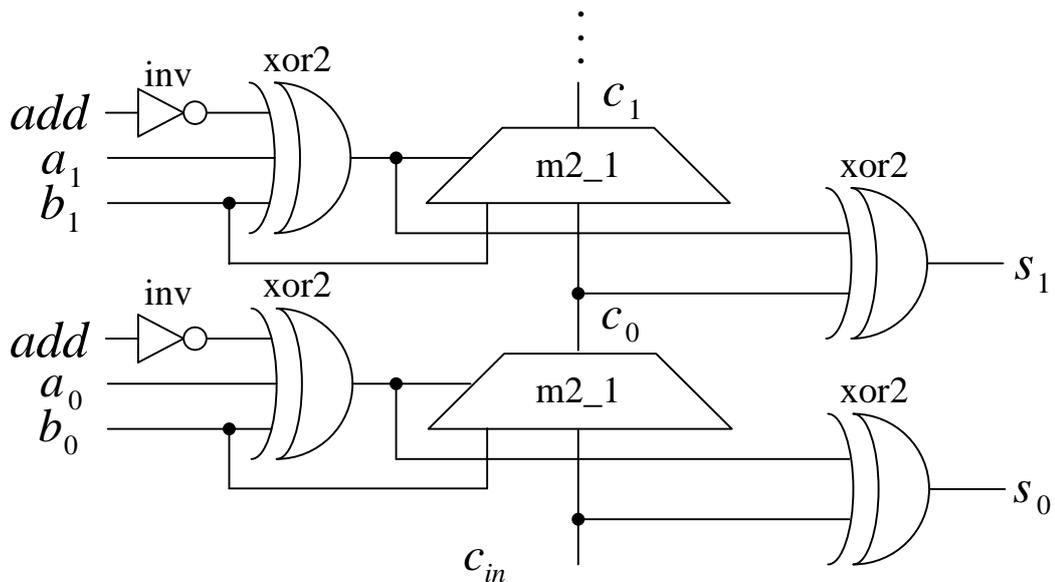


Рис. 3.4. Многоразрядный последовательный сумматор-вычитатель на основе логики ускоренного переноса

Многоразрядный параллельный сумматор

n -разрядный параллельный сумматор без входного переноса имеет 2 входа: $A[n-1:0]$ и $B[n-1:0]$. Такой сумматор имеет следующие выходные сигналы: сумма $S[n-1:0]$ и выходной перенос C_0 . Его работа описывается выражением:

$$C_0 S_{n-1} \dots S_1 S_0 = A_{n-1} \dots A_1 A_0 + B_{n-1} \dots B_1 B_0, \quad (3.1)$$

где A_i, B_i – двоичные разряды слагаемых, S_i – двоичный разряд суммы, C_0 – разряд выходного переноса.

n -разрядный параллельный сумматор со входным переносом имеет 3 входа: два слагаемых $A[n-1:0]$ и $B[n-1:0]$, а также входной перенос C_1 . Такой сумматор имеет следующие выходные сигналы: сумма $S[n-1:0]$ и выходной перенос C_0 . Его работа описывается выражением:

$$C_0 S_{n-1} \dots S_1 S_0 = A_{n-1} \dots A_1 A_0 + B_{n-1} \dots B_1 B_0 + C_1. \quad (3.2)$$

n -разрядный параллельный вычитатель без входного заема имеет 2 входа: уменьшаемое $A[n-1:0]$ и вычитаемое $B[n-1:0]$. Такой вычитатель имеет следующие выходные сигналы: разность $S[n-1:0]$ и выходной заем C_0 . Его работа описывается выражением:

$$\begin{aligned} & \text{if } (A[n-1:0]) \geq (B[n-1:0]) \\ & \text{then } S_{n-1} \dots S_1 S_0 = A_{n-1} \dots A_1 A_0 - B_{n-1} \dots B_1 B_0; C_0 = 0; \\ & \text{else } S_{n-1} \dots S_1 S_0 = 1A_{n-1} \dots A_1 A_0 - B_{n-1} \dots B_1 B_0; C_0 = 1. \end{aligned} \quad (3.3)$$

Исходные данные приведены в табл. 3.1.

Подготовка к работе: перед выполнением работы изучить теоретический материал по литературе и лекциям, выполнить пункты 1 – 7 задания для получения допуска к выполнению лабораторной работы.

Таблица 3.1. Варианты заданий для построения 2-разрядного параллельного сумматора/вычитателя

№ варианта	Операция	Наличие входного переноса	Вид минимальной формы	Тип конечного базиса
1, 9	Сумматор	Да	МДНФ	Пирса
2, 10	Сумматор	Да	МДНФ	Шеффера
3, 11	Сумматор	Да	МКНФ	Пирса
4, 12	Сумматор	Да	МКНФ	Шеффера
5, 13, 17	Вычитатель	Да	МДНФ	Пирса
6, 14, 18	Вычитатель	Да	МДНФ	Шеффера
7, 15, 19	Вычитатель	Да	МКНФ	Пирса
8, 16, 20	Вычитатель	Да	МКНФ	Шеффера

Задание:

- 1) построить таблицу истинности 2-разрядного параллельного сумматора/вычитателя;
- 2) найти СовДНФ или СовКНФ ПФ 2-разрядного параллельного сумматора/вычитателя по его таблице истинности;

- 3) с помощью карт Карно найти МДНФ или МКНФ ПФ 2-разрядного параллельного сумматора/вычитателя;
- 4) перейти от МДНФ или МКНФ ПФ 2-разрядного параллельного сумматора/вычитателя к базису Пирса или Шеффера;
- 5) построить в универсальном базисе логическую схему 2-разрядного параллельного сумматора/вычитателя для его ПФ, заданной в виде МДНФ или МКНФ;
- 6) построить в базисе Пирса или Шеффера логическую схему 2-разрядного параллельного сумматора/вычитателя;
- 7) построить временные диаграммы работы 2-разрядного параллельного сумматора/вычитателя;
- 8) построить ЛС мультиплексора 3 в 1 в базисе Пирса или Шеффера в MicroCap и провести ее моделирование.

Содержание отчета:

- 1) название, цель работы, задание;
- 2) проектирование схемы в соответствии с планом задания (пп. 1 – 7 задания);
- 3) результаты моделирования схемы 2-разрядного параллельного сумматора/вычитателя в схемотехническом редакторе и определение динамических параметров на основе этих результатов.

Пример выполнения работы

Исходные данные: параллельный 2-разрядный сумматор без входного переноса, вид минимальной формы – МДНФ, тип конечного базиса – Пирса.

1-й этап. Построение таблицы истинности для ПФ параллельного 2-разрядного сумматора без входного переноса (табл. 3.2).

Таблица 3.2. Таблица истинности для ПФ параллельного 2-разрядного сумматора без входного переноса

№ набора	Входы				Выходы		
	A_1	A_0	B_1	B_0	C_0	S_1	S_0
0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	1
2	0	0	1	0	0	1	0
3	0	0	1	1	0	1	1
4	0	1	0	0	0	0	1
5	0	1	0	1	0	1	0
6	0	1	1	0	0	1	1
7	0	1	1	1	1	0	0
8	1	0	0	0	0	1	0
9	1	0	0	1	0	1	1
10	1	0	1	0	1	0	0
11	1	0	1	1	1	0	1
12	1	1	0	0	0	1	1
13	1	1	0	1	1	0	0
14	1	1	1	0	1	0	1
15	1	1	1	1	1	1	0

2-й этап. Нахождение СовДНФ и ПФ сумматора по таблице истинности (см. табл. 3.2).

3-й этап. Нахождение МДНФ ПФ сумматора с помощью карт Карно:

$$S_0 = A_0 \bar{B}_0 \vee \bar{A}_0 B_0, \quad (3.4)$$

$$S_1 = \bar{A}_1 \bar{A}_0 B_1 \vee \bar{A}_1 A_0 B_0 \vee A_0 B_1 B_0 \vee A_1 \bar{B}_1 \bar{B}_0 \vee A_1 \bar{A}_0 \bar{B}_1, \quad (3.5)$$

$$C_o = A_1 B_1 \vee A_0 B_1 B_0 \vee A_1 A_0 B_0. \quad (3.6)$$

4-й этап. Переход от МДНФ ПФ сумматора к базису Пирса:

$$S_0 = (\bar{A}_0 \downarrow B_0) \downarrow (A_0 \downarrow \bar{B}_0), \quad (3.7)$$

$$S_1 = (\bar{A}_1 \downarrow A_0 \downarrow \bar{B}_1) \downarrow (A_1 \downarrow \bar{A}_0 \downarrow \bar{B}_0) \downarrow (\bar{A}_0 \downarrow \bar{B}_1 \downarrow \bar{B}_0) \downarrow (\bar{A}_1 \downarrow B_1 \downarrow B_0) \downarrow (\bar{A}_1 \downarrow A_0 \downarrow B_1) \downarrow, \quad (3.8)$$

$$C_o = (\bar{A}_1 \downarrow \bar{B}_1) \downarrow (\bar{A}_0 \downarrow \bar{B}_1 \downarrow \bar{B}_0) \downarrow (\bar{A}_1 \downarrow \bar{A}_0 \downarrow \bar{B}_0). \quad (3.9)$$

5-й и 6-й этапы. Построение ЛС параллельного сумматора в универсальном базисе [для ПФ (3.4) – (3.6)] и базисе Пирса [для ПФ (3.7) – (3.9)] (рис. 3.1).

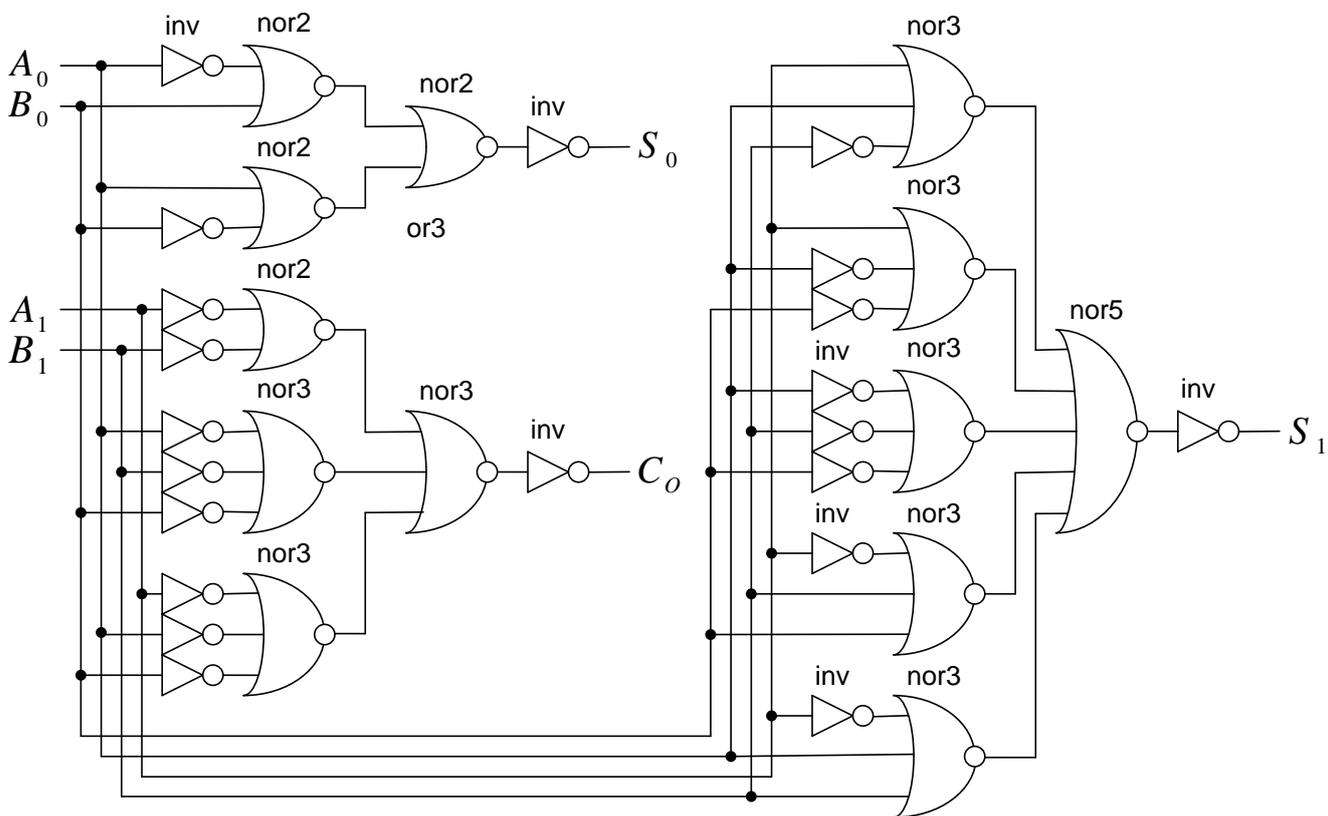


Рис. 3.1. ЛС 2-разрядного параллельного сумматора без входного переноса в базисе Пирса

7-й этап. Построение временных диаграмм ЛС параллельного сумматора (рис. 3.2).

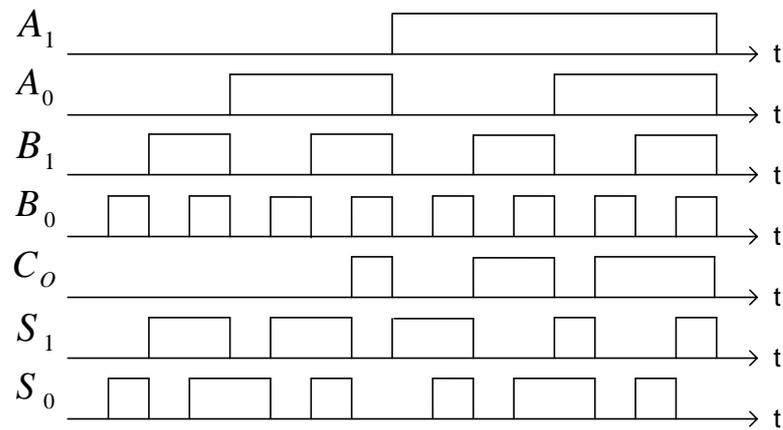


Рис. 3.2. Временные диаграммы работы 2-разрядного параллельного сумматора без входного переноса

Контрольные вопросы

1. Построить таблицу истинности параллельного 2-разрядного сумматора/вычитателя.
2. Найти МДНФ и МКНФ параллельного 2-разрядного сумматора/вычитателя.
3. Построить ЛС параллельного 2-разрядного сумматора/вычитателя в булевом базисе.
4. Построить таблицу истинности одnorазрядного последовательного сумматора/вычитателя.
5. Построить ЛС одnorазрядного последовательного сумматора/вычитателя.
6. Построить сумматор/вычитатель на основе логики ускоренного переноса.